

iCoupler器件的辐射控制建议

作者: Brian Kennedy、Mark Cantrell

简介

如果PCB设计选择得当，iCoupler®数据隔离产品很容易满足CISPR 22 Class A(和FCC Class A)辐射标准，甚至能够满足更严格的无屏蔽环境CISPR 22 Class B(和FCC Class B)标准。本应用笔记将考察与PCB相关的抗电磁辐射技术，包括电路板布局和堆叠问题。

关于辐射的标准有多种。在美国，联邦通信委员会(FCC)负责管理辐射标准及测试方法。在欧洲，国际电工委员会(IEC)制定标准，采用CISPR测试方法来评估辐射。这两种标准规定的测试方法及合格/不合格界定稍有不同。虽然本应用笔记参照IEC标准，但所有结果对这两种标准均适用。

iCoupler数字隔离器输入端的数据跃迁编码为较窄的脉冲，用以将信息发送到隔离栅的另一端。这种1 ns脉冲具有高达70 mA的峰值电流，如果在印刷电路板(PCB)布局布线和构建期间不加以重视，可能会引起辐射和传导噪声。本应用笔记

将阐明相关辐射机制，并提供有关通过高频PCB设计技术来解决辐射问题的具体建议。

信号电缆的辐射控制和机壳屏蔽技术不在本文讨论范围内。

抗电磁辐射概述

抗电磁辐射的最佳做法是综合运用多种技术，包括输入至输出接地层拼接电容、边缘防护，以及通过降低电源电压来降低噪声。为了撰写本应用笔记，我们用业界常规材料和结构设计并制作了一个4层电路板。

本应用笔记所用的抗电磁辐射实例基于4通道iCoupler产品，但所述信息与所有iCoupler产品系列都相关，图1给出了一些例子。

有关isoPower(集成隔离电源)产品的抗辐射信息，请参考应用笔记AN-0971，其中包括一些其它的建议和技术。

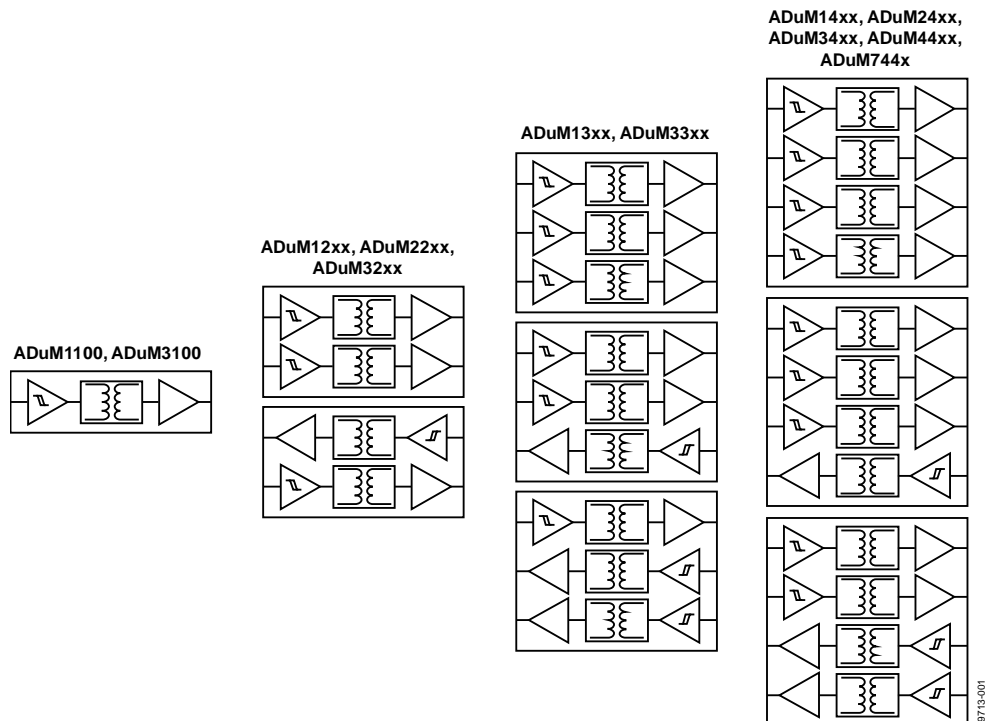


图1. iCoupler器件系列示例

目录

简介.....	1	内层电容.....	8
抗电磁辐射概述.....	1	3.3 V电源.....	9
修订历史.....	2	设计规程建议.....	10
辐射源.....	3	满足隔离标准.....	10
边缘辐射.....	3	示例板.....	11
输入至输出偶极子辐射.....	3	结论.....	14
传导噪声源.....	5	附录A—PCB示例.....	15
抗电磁辐射技术.....	6	低噪声PCB示例.....	15
输入至输出拼接.....	6	间隙PCB示例.....	17
浮动拼接电容.....	7	参考资料.....	19
边缘防护.....	8		

修订历史

2011年4月—修订版0：初始版

辐射源

PCB中有两种潜在的辐射源：边缘辐射和输入至输出的偶极子辐射。

边缘辐射

当非预期的电流达到接地层和电源层的边缘时，便发生边缘辐射。这些非预期的电流可能源自：

- 电源旁路不充分所产生的接地和电源噪声。
- 感性过孔所产生的圆柱形辐射磁场，它在电路板各层之间辐射，最终在电路板边缘会合。
- 承载高频信号的带状线镜像电荷电流与电路板边缘靠得太近。

当各种来源产生的差分噪声在电路板边缘会合并从层间空间泄漏出来，形成一个波导时，便会产生边缘辐射(图2)。

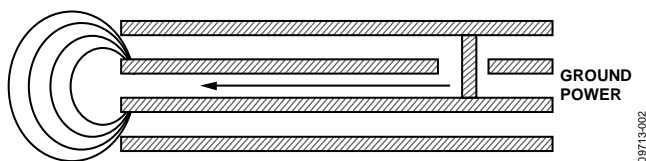


图2. 边缘匹配的接地电源对产生的边缘辐射

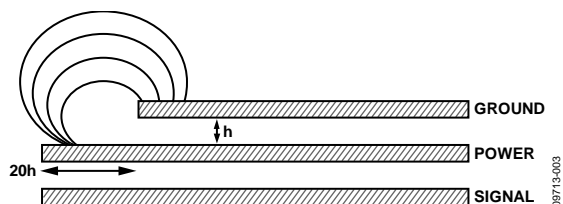


图3. 边缘不匹配的接地电源对产生的边缘辐射

在边界处，有两种限制情况：接地层和电源层的边缘对齐，如图2所示；或者一个边缘缩回一定的量，如图3所示。在第一种情况下，边缘对齐，有些辐射反射回PCB，有些则从PCB透射出去。在第二种情况下，板的边缘形成一个与贴片天线边缘类似的结构。当边缘不匹配量达到 $20h$ 时(h 为层间距)，电磁场在PCB之外有效耦合，产生高辐射(参见“参考资料”部分的“Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs”)。这两种限制情况十分重要，参见“边缘防护”部分关于PCB边缘处理的说明。

输入至输出偶极子辐射

当驱动电流源通过接地层之间的间隙时，便会产生输入至输出的偶极子辐射，这是辐射的主要机制。根据其自身特性，隔离器需要驱动电流通过接地层之间的间隙。与传输的电流相关的高频镜像电荷无法跨越边界返回，导致间隙上出现差分信号，从而形成偶极子天线。在某些情况下，这可能是一个很大的偶极子，如图4所示。当高频信号线路跨过接地层和电源层中的间隙时，类似的机制也会导致它产生辐射。这类辐射多数是与接地层垂直。

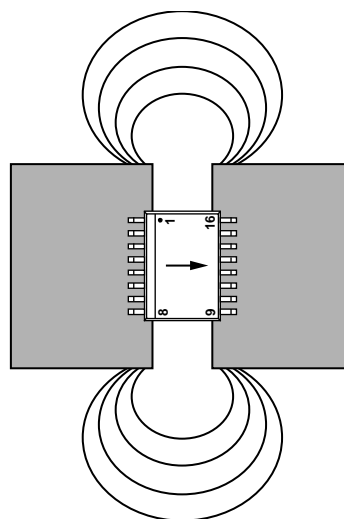


图4. 输入与输出之间的偶极子辐射

以ADuM140x器件为例可以很好地说明辐射产生与抑制问题。

在 $5\text{ V }V_{DD}$ 电源电压下工作时，发送器脉冲的峰值电流约为 70 mA ，这些脉冲是具有快速边沿速率的 1 ns 宽脉冲。

旁路电容应当能提供这一高频电流。该电容必须提供很大的电荷储存能力，同时在 100 MHz 至 1 GHz 范围的高频时应具有非常低的串联电阻。即使在引脚附近使用多个低ESR电容，感性限制的旁路也会产生电压瞬变，噪声可能会进入接地层和电源层。应当考虑电容的自谐振频率。使用多个大小不同的电容，例如 100 nF 、 10 nF 和 1 nF ，有助于减小这种效应。

图5显示了在一个消声腔中对4通道ADuM1402进行测试所收集到的辐射数据，采用 5 V 电源供电，信号速率为 1 Mbps ，使用标准四层PCB，但没有输入至输出接地层拼接电容。

CHAMBER EN55022, CLASS B, RADIATED EMISSIONS PRESCAN

REF LEVEL
60.0dB μ V

ACTV DET: PEAK
MEAS DET: PEAK

MKR 873.3MHz
38.56dB μ V

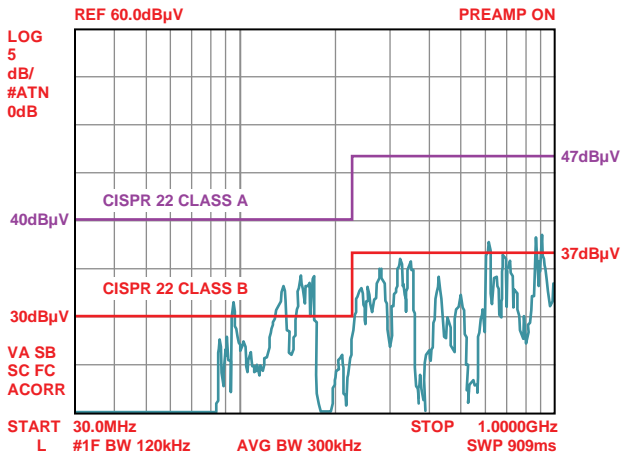


图5. 标准四层电路板的消声腔辐射：采用4通道ADuM1402、信号速率1 Mbps

CHAMBER EN55022, CLASS B, RADIATED EMISSIONS PRESCAN

REF LEVEL
50.0dB μ V

ACTV DET: PEAK
MEAS DET: PEAK

MKR 682.7MHz
23.38dB μ V

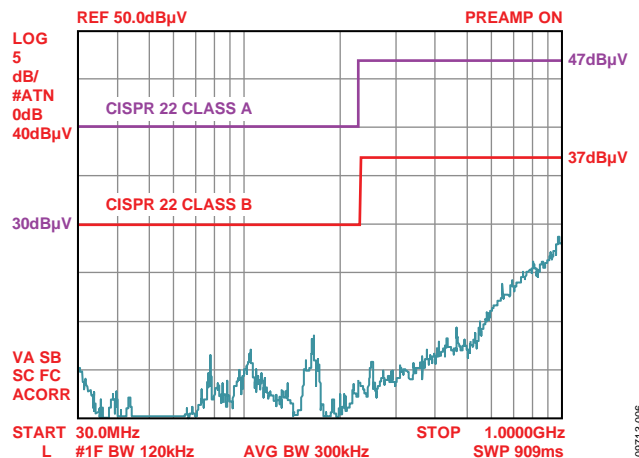


图6. 低噪声四层电路板的消声腔辐射：采用300 pF拼接电容和4通道ADuM1402、信号速率1 Mbps

如图5所示，在30 MHz至230 MHz范围内，此板的辐射数据通过CISPR 22 Class A辐射标准(要求40 dB μ V)并留有约6 dB μ V的裕量。图6所示为使用300pF拼接电容的低噪声四层板的测试结果，以供对比。其测试条件与标准板相同，但结果通过CISPR 22 Class A和CISPR 22 Class B要求并留有一大截裕量。“抗电磁辐射技术”部分说明了如何利用像低噪声板所用的那些推荐PCB布局技术来控制辐射。

传导噪声源

大电流和高频率也会在接地层和电源层上产生传导噪声。这一问题同样可以利用针对辐射问题的技术来解决，因为通过采用同样的PCB接地和电源结构，这两类电磁干扰都可以得到改善。

V_{DD} 噪声的产生原因是旁路电容和接地层/电源层无力向*iCoupler*器件提供足够的高频电流。*iCoupler*隔离器在1 ns突发脉冲内将数据传输到变压器的另一端，脉冲的幅度为70 mA。

100 nF的理想旁路电容应当足以提供该电流的交流分量。然而，旁路电容不是理想电容，它们可能会通过感性过孔连接到接地层或电源层。此外，接地层和电源层之间的较大距离会在其间产生较大电感，限制接地层/电源层快速提供电流的能力。这些因素都会导致 V_{DD} 层上出现高频噪声，占了1单位噪声的很大一部分。

抗电磁辐射技术

有许多抗电磁辐射技术可供设计师参考，本节将说明几种可以直接应用于iCoupler器件的技术。需要权衡考虑如何解决强电磁辐射问题才能符合IEC或FCC辐射标准，以及成本和性能等设计要求。

为了充分利用PCB相关的抗电磁辐射技术，PCB应依赖于相对连续的接地层和电源层，并且能够指定它们在堆叠中的相对位置和距离。这意味着至少应使用三层：接地层、电源层和信号层。

在电路板制造中，从实用角度考虑，四层电路板为最小堆叠。可以设计更多层，以便大大增强建议技术的有效性。如果使用两层板，可以利用以一个安全拼接电容来降低辐射，如“输入至输出拼接”部分所述。

下列技术可以有效降低电磁辐射和板上噪声：

- 输入至输出接地层拼接
- 边缘防护
- 内层容性旁路
- 功率控制(3.3 V电源)

为了利用ADuM140x评估以上每种抗电磁辐射技术，我们准备了具有测试结构的电路板。每块电路板布局的差异应尽可能小，以使结果具有可比性。测试是根据CISPR22 Class B标准认证条件，在一家电磁辐射测试机构执行的。结果如图14至图17所示，表4至表7概括了测试结果。

输入至输出拼接

当电流沿PCB走线流动时，镜像电荷也会沿走线下方的接地层随之移动。如果走线跨过接地层中的间隙，镜像电荷将无法跟随。这就在PCB中产生差分电流和电压，导致辐射和传导噪声。解决办法是提供一条通路，使镜像电荷能跟随信号移动。标准做法是在信号跨过接地层中的间隙附近放置一个拼接电容(参见“参考资料”部分的“PCB Design for Real-World EMI Control”)。这一技术也可用来将由于iCoupler隔离器工作而在接地层之间产生的辐射降至最低。

表1. 安全电容

安全额定值	工作电压额定值 (VAC)	隔离电压额定值 (VAC)	封装类型/尺寸	值 (pF)	制造厂商	产品型号
X1/Y2	250	1500	SMT/1808	150	Johanson Dielectrics	502R29W151KV3E-SC
X1/Y2	250	2000	径向/5 mm	150	Murata	DE2B3KY151KA2BM01
X1/Y2	300	2600	径向/7.5 mm	150	Vishay	VY2151K29Y5S563V7

至少有三种方案可用来形成拼接电容。

- 在隔离栅两端接一个安规电容。
- 里层上的接地和电源层可以延伸到PCB的隔离间隙中，形成一个交叠拼接电容。
- 在里层的隔离侧与非隔离侧之间的间隙可以设置一个浮动金属层，如图8所示。

就有效性和所需的实施面积而言，每种方案都有优点和缺点。请注意，针对医疗应用，隔离地与大地之间的容许总隔离电容可能只有10 pF到20 pF。

安全拼接电容

在隔离栅两端连接一个简单的陶瓷电容便可实现拼接电容。大部分知名电容制造商都提供具有保证爬电距离、电气间隙和耐受电压的电容。视目标用途不同，这些安规电容分为多种等级。Y2级用于存在触电危险的线路到地应用，安全应用中的拼接电容建议使用这种类型的安规电容。此类电容提供表贴和径向引脚圆片两种封装。表1列出了一些Y2级安规电容。

安规电容是分立器件，必须利用焊盘或通孔将其安装到PCB上。因此，除了电容本身的电感外，还会增加与电容串联的寄生电感。此外，这还会使拼接电容局部化，要求电流流到电容，从而产生不对称的镜像电荷路径，并且会增加噪声。这些分立电容在最高200 MHz的频率范围内有效。超过200 MHz时，PCB本身的电容变得非常有效。

PCB本身的电容

PCB本身也能通过多种方式形成拼接电容结构。当PCB中的两层交叠时，就会形成一个电容。此类电容具有一些非常有用的特性，平行板电容的电感极低，而且电容分布在相对较大的面积上。

这些结构必须构建在PCB的里层上。表层的爬电距离和电气间隙要求最小，因此不适合用来构建此类结构。

交叠拼接电容

有一种简单的方法可实现良好的拼接电容，这就是将一个参考层从原边和副边延伸到PCB表面上用于爬电的区域。

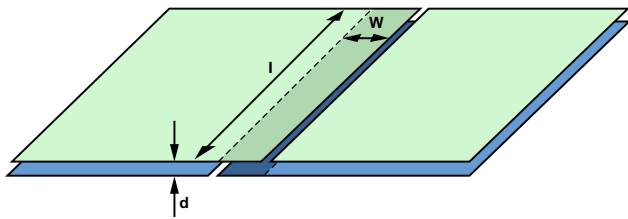


图7. 交叠层拼接电容

图7所示结构的容性耦合通过下列关于平行板电容的基本关系进行计算：

$$C = \frac{A\varepsilon}{d} \text{ 和 } \varepsilon = \varepsilon_0 \times \varepsilon_r$$

其中：

C 为总拼接电容。

A 为拼接电容的交叠面积。

ε_0 为自由空间的介电常数 8.854×10^{-12} F/m。

ε_r 为PCB绝缘材料的相对介电常数，FR4约为4.5，如表2所示。

$$C = \frac{lw\varepsilon}{d} \quad (1)$$

其中， w 、 d 和 l 是原边与副边参考层的交叠部分的尺寸，如图7所示。

这种结构的主要优势是电容产生于隔离器下方的间隙中，为了满足爬电距离和电气间隙要求，此处不得有顶层和底层。多数设计不会利用电路板的这一区域。而且，该电容的单位面积值是浮动层的两倍。

在原边和副边参考层之间，此结构只有一个粘合接头和一个FR4层。它非常适合只需要基本绝缘的较小电路板。

表2. 电气特性

类型	1 MHz时的介电常数	介电强度 (V/mil)
FR4	4.5	1000 至 1500
GETEK	3.6 至 4.2	1000 至 1200
BT-Epoxy	4.0	750

浮动拼接电容

一个较好的方案是使用电路板里层上的浮动金属结构来连接原边与副边电源层。请注意，本应用笔记将专用于接地或电源的层称为参考层，因为从交流噪声角度看，它们具有相同的行为特征，对于拼接电容是可以通用的。

图8所示为一个浮动拼接电容示例。参考层显示为蓝色和绿色，浮动耦合层显示为黄色。这种结构的电容形成两个容性区域(阴影部分)，非交叠部分将这两个区域连在一起。为了确保耦合层上不会累积直流电压，原边和副边上的面积应大致相等。

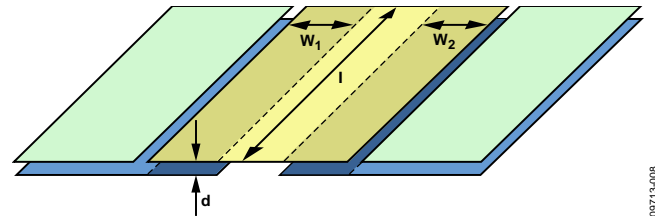


图8. 浮动拼接电容

图8所示结构的容性耦合通过下列关于平行板电容的基本关系进行计算：

$$C_x = \frac{A_x \varepsilon}{d}, \varepsilon = \varepsilon_0 \times \varepsilon_r, C = \frac{c_1 \times c_2}{c_1 + c_2}$$

其中：

C 为总拼接电容。

A 为拼接电容的交叠面积。

ε_0 为自由空间的介电常数 8.854×10^{-12} F/m。

ε_r 为PCB绝缘材料的相对介电常数，FR4约为4.5，如表2所示。

$$C = \frac{l\varepsilon}{d} \times \left(\frac{w_1 \times w_2}{w_1 + w_2} \right) \quad (2)$$

其中， w_1 、 w_2 、 d 和 l 是浮动层与原边和副边参考层的交叠部分的尺寸，如图8所示。

如果 $w_1 = w_2$ ，则上式可简化为：

$$C = \frac{lw_1\varepsilon}{2d} \quad (3)$$

在实际应用中，这种结构既有优点，也有缺点。主要优点是两个隔离间隙，一个在原边，一个在副边。这些间隙称为粘合接头，FR4各层之间的焊接可提供隔离效果。

沿PCB材料的厚度方向相继还有两条路径。依据某些隔离标准创建加强隔离栅时，这些间隙和厚度会非常有利。此类结构的缺点是电容形成在有源电路区域下方，可能会有过孔和走线跨过间隙。公式2还说明，两个电容串联所产生的净电容只有使用相同PCB面积形成的一个电容的一半大小。因此，就单位面积电容而言，这种技术的效率较低。总体而言，它最适合于有大量电路板面积可用或需要加强绝缘的应用。

边缘防护

到达电路板边缘的电源层与接地层上的噪声可以像图2和图3所示那样辐射。如果采用屏蔽结构对边缘进行处理，则噪声将反射回内层空间中(参见“参考资料”部分的“Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs”)。会增加这些层上的电压噪声，但也会降低边缘辐射。

可以在PCB上进行固体导电边缘处理，但该工艺成本较高。成本较低且效果不错的方案是采用保护环结构处理电路板边缘，保护环结构通过过孔联系在一起。图9所示的结构是针对典型的四层板。图10显示如何在电路板原边的电源和接地层上实现该结构。

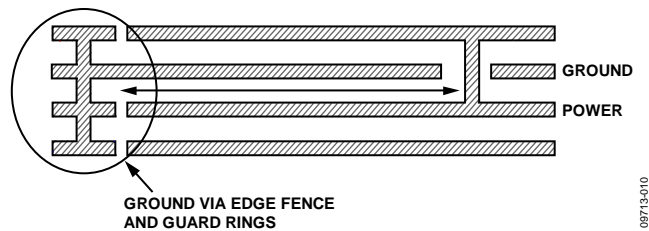


图9. 过孔护栏结构侧视图

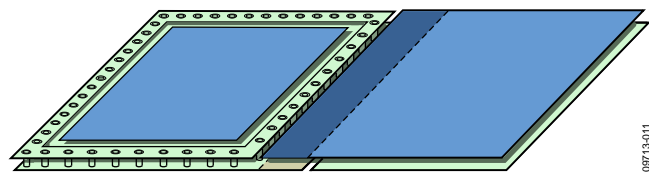


图10. 显示在原边电源层上的过孔护栏与保护环构建边缘防护有两个目标。第一个目标是将柱形辐射从过孔反射回内层空间，不让它从边缘逃逸。第二个目标是将里层上流动的边缘电流(由走线上流动的噪声或大电流引起)屏蔽起来。

如果不采用繁琐的建模，将难以确定用于创建边缘防护的过孔间隔。ADI公司的评估板测试板使用4 mm过孔间隔，此间隔非常小，足以衰减18 GHz以下的信号。

内层电容

内层电容旁路技术旨在通过改善高频时的旁路完整性来降低电路板的传导噪声和辐射。它有两个优点：第一，缩短高频噪声在接地层-电源层对中的扩散距离；第二，通过提供在300 MHz至1 GHz频率范围有效的旁路电容，降低进入电源层和接地层中的初始噪声(参见“参考资料”部分的“PCB Design for Real-World EMI Control”)。电源和接地噪声的降低可以为靠近*i*Coupler隔离器的噪声敏感元件提供更好的工作环境。辐射和传导噪声的降低均与电源和接地噪声的降低成比例。辐射降低不如拼接或边缘防护技术那样显著，但它仍可明显改善电路板的电源环境。

抗电磁辐射测试板所用的堆叠形式为“信号-接地-电源-信号”，如图11所示。一个较薄的核心层用于电源层和接地层。这些紧密耦合层提供内层电容层，以补充隔离器正常工作所需的旁路电容。



图11. PCB堆叠提供内层电容

除了接地层和电源层外，还可以用接地和电源填料交替填充信号层，以进一步提高电容。为了说明这一情况，图11中的顶层和底层分别被标示为“信号/电源”和“信号/接地”。这些填料还能带来额外的好处，即形成额外的辐射屏蔽，把过孔护栏结构边缘周围的辐射泄漏保持在PCB中。填充接地和电源填料时应小心，填料应再连接到完整的参考层，因为浮动的填料可能会成为贴片天线，造成电磁辐射而不是起到屏蔽作用。有关填充的一些推荐做法包括：

- 每隔10mm，填料应通过过孔沿着边缘连接到相应的参考层。
- 填料的少量溢出部分应予以移除。
- 如果填料的形状不规则，应将过孔安排在填料的最外缘。

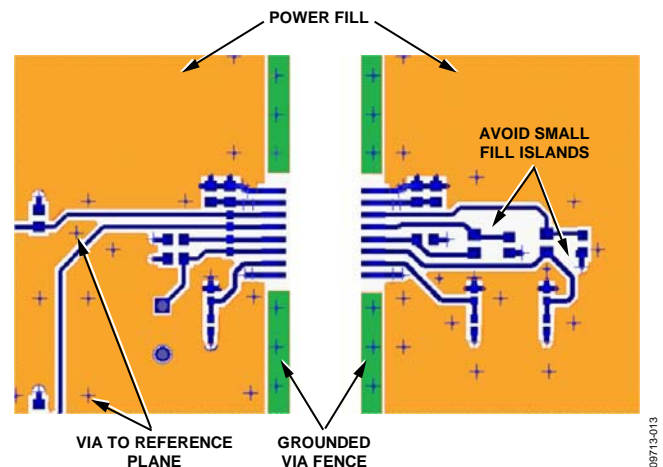


图12. 填料特征

内层电容的有效性如图13所示，图中显示了ADuM140x系列器件的编码脉冲在 V_{DD} 电源上产生的噪声。上图显示，一个两层板上 V_{DD1} 引脚的噪声约为0.17 V p-p。下图显示，对于一个具有电源层和接地层(内核间隔0.1 mm)的PCB，噪声大幅降低到仅0.03 V p-p。这说明，如果使用间距甚小的接地层和电源层，电源噪声将显著降低。

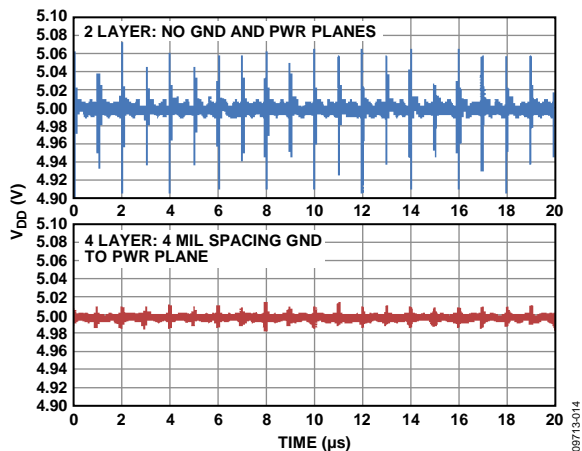


图13. 不同PCB布局的 V_{DD} 电压噪声

3.3 V电源

许多iCoupler产品可以采用3.3 V输入和输出电源工作。以较低电压工作可以减少噪声及辐射的产生。图14至图17显示使用3.3 V电源相对于使用5 V电源的辐射降低情况，测试采用4通道ADuM1402的标准四层评估板。

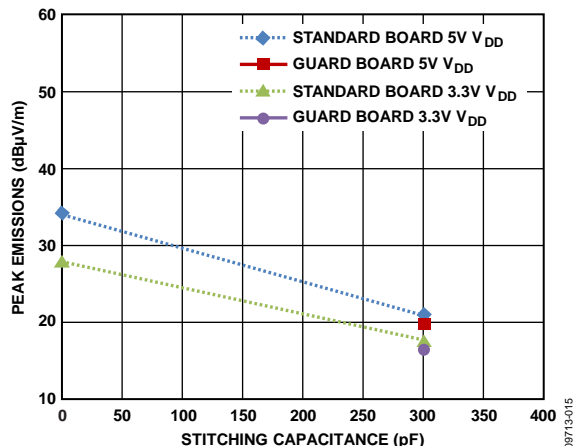


图14. 拼接电容和防护选项的峰值辐射：频率范围30 MHz至230 MHz、信号速率1 Mbps

图14至图17还显示了原边到副边拼接电容量和防护选项不同的多种四层评估板的辐射情况。“示例板”部分的表4至表7使用了这些图中的数据，用以说明如何应用布局技术来降低辐射，以满足CISPR 22 Class B辐射标准要求。

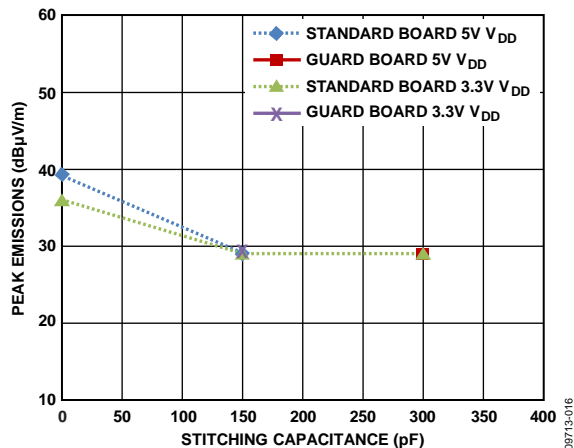


图15. 拼接电容和防护选项的峰值辐射：频率范围230 MHz至1000 MHz、信号速率1 Mbps

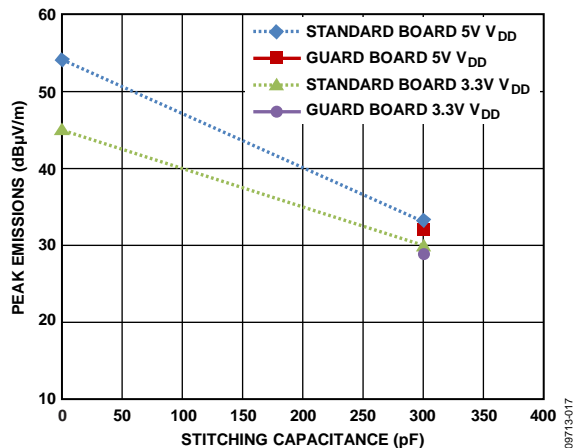


图16. 拼接电容和防护选项的峰值辐射：频率范围30 MHz至230 MHz、信号速率10 Mbps

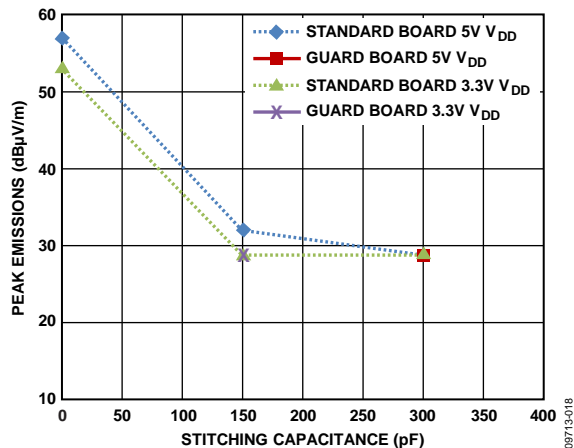


图17. 拼接电容和防护选项的峰值辐射：频率范围230 MHz至1000 MHz、信号速率10 Mbps

设计规程建议

可以考虑下列常规做法：

- 至少使用四层堆叠。
- GND层应尽可能靠近 V_{DD} 层，以提供最大的旁路电容值。
- 电源线上的所有过孔应尽可能大。小过孔电感较大，且会产生噪声。使用多个小过孔在降低过孔电感方面不如一个大过孔有效，因为即使存在多条路径，大部分电流仍只会通过距离最近的过孔。
- 布线时务必要考虑信号的参考层。保证镜像电荷路径至关重要，镜像电荷不应迂回绕行甚至与另一层上的原始信号会合。
- 切勿将高速信号布线靠近PCB边缘排放。
- 数据或电源线路离开电路板时，特别是通过电缆离开电路板时，会引起额外的辐射问题。可以利用穿心滤波电容或类似的滤波器结构使电缆辐射降至最低程度。

满足隔离标准

除拼接电容技术外，本应用笔记描述的大多数技术不会影响电路板隔离。当用安规电容实现拼接时，安规电容有额定工作电压和瞬态电压，以及额定爬电距离和电气间隙，因此从认证角度看，安规电容相对更容易处理。然而，它作为抗电磁辐射元件的性能是有限的。

当导体彼此尽可能靠近时，PCB拼接电容自然是最有效的手段。为了利用这些元件实现最高性能，需要尽可能提高内部间距要求，同时应保持安全性。内部间距的限制主要取决于系统构建标准。标准不同，PCB构建方法可能完全不同。

认证机构以不同方式对待多层PCB的表层和里层。表层有爬电距离和电气间隙要求，这些要求由空气离子化和污秽表面的击穿电压决定。里层则被当作固体绝缘物或固体绝缘之间的永久粘合接头。

表3. 不同隔离标准的隔离爬电距离比较

绝缘类型	IEC 60950		IEC 61010第二版		IEC 61010第三版		IEC 60601 粘合和固体绝缘
	绝缘距离(2.10.6.4)	沿粘合接头的距离(2.10.6.3)	绝缘距离(6.7.2.2.3)	沿粘合接头的距离(6.7.2.2.3)	绝缘距离(6.7)	沿粘合接头的距离(6.7)	
功能性绝缘	无要求	无要求	无要求	无要求	最小值0.4 mm	最小值0.4 mm	通过测试验证
基本绝缘	无要求	无要求	无要求	无要求	最小值0.4 mm	最小值0.4 mm	通过测试验证
补充/加强绝缘	最小值0.4 mm或多层绝缘，预硬化	最小值0.4 mm(2.10.5.2)	无要求	无要求	最小值0.4 mm或多层绝缘，预硬化	最小值0.4 mm	通过测试验证

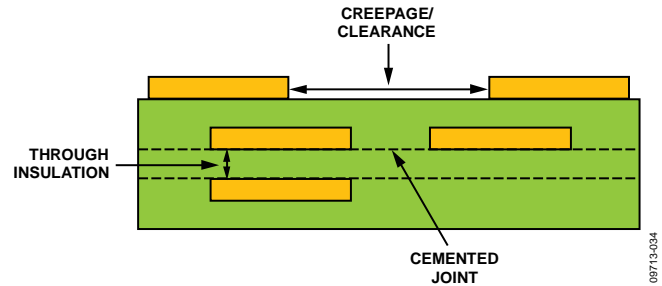


图18. PCB设计中的关键距离

关于PCB绝缘，认证机构关注的是材料是否有足够的电介质击穿强度来满足瞬态测试要求，以及其结构是否能保证绝缘不会随着时间推移而失效。表3比较了四种标准，每种标准都对如何在PCB内部形成基本或加强绝缘隔离栅提出了不同的解决方案。

在IEC 60950标准中，对于PCB的功能性绝缘或基本绝缘标准没有最小绝缘距离要求，因此设计师在电路板布局方面享有很大的自由度。为了满足产品的终生过压要求，FR4等材料必须足够厚。

如果要求加强绝缘，则沿焊接表面的绝缘，例如内部PCB层上铜皮之间的间隙或直接穿过层间绝缘的间隙，多数情况下必须保证0.4 mm(约16 mil)的最小绝缘距离。此外，除非有效结构之间采用多层绝缘，否则可能还有电路板类型测试要求。虽然满足这一要求需要对电路板进行精心设计，并且可能需要四层以上，但如果从设计一开始便予以考虑，则并不麻烦。

隔离栅上的容性耦合会造成交流泄漏及瞬变从一个接地层耦合至另一个接地层。300 pF电容看似很小，但高压高速瞬变通过此电容可以将大量电流注入。如果应用在这些环境下，则必须考虑这一点。

示例板

精心选择PCB结构与技术的组合可以实现要求的系统抗电磁辐射目标，而不必使用机壳屏蔽。本例选择一个基于ADuM140x的系统，它通过了CISPR 22 Class B认证。

本例的出发点是一个四层PCB板，里层上有接地层和电源层。所有电磁辐射降低均是相对于这一四层电路板所产生的辐射和噪声而言。之所以选择CISPR 22 Class B标准，是因为它只涉及两个频率范围，但也可以使用FCC Class B标准，如图19所示。为了满足CISPR 22 Class B要求(绿线)，按照归一化10 m天线距离计算，30 MHz至230 MHz频率范围内的辐射必须低于30 dB μ V/m，230 MHz至1000 MHz频率范围内的辐射必须低于37 dB μ V/m。为了达到这些辐射要求，可以运用一些抗电磁辐射技术。

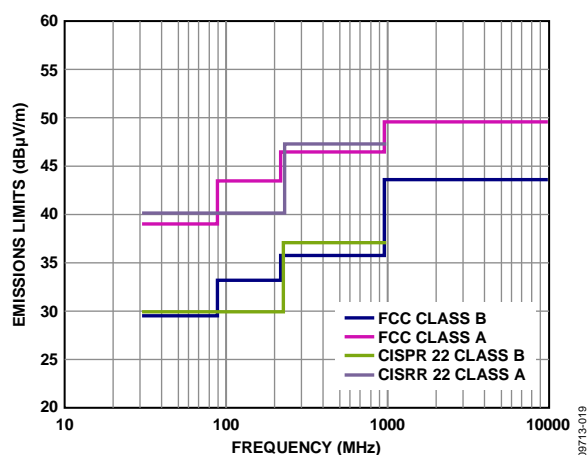


图19. 归一化10 m天线距离的CISPR 22和FCC限值

第一个示例使用无拼接电容的标准PCB板，四个通道以1 Mbps输入信号频率工作，需要满足CISPR 22 Class B标准。表4给出了ADuM1402的四个通道在1 Mbps数据速率下的测试结果。使用3.3 V V_{DD} 电源时，用作参考的四层板符合CISPR 22 Class B辐射要求。在5 V V_{DD} 电源和1 Mbps数据速率下，ADuM1402符合CISPR 22 Class A要求，但超过CISPR 22 Class B限值4 dB μ V/m(30 MHz至230 MHz范围)和2 dB μ V/m(230 MHz至1000 MHz范围)。

为了降低辐射以符合四个数据通道、1 Mbps时的 CISPR 22 Class B限值，我们针对不同的电路板布局下使用抗辐射技术并获取了ADuM1402的测试数据，如表5所示。5 V V_{DD} 和1 Mbps条件下的数据显示，要符合CISPR 22 Class B限值，只需降低2 dB到4 dB。因此，添加一个150 pF拼接电容，将辐射降低5 dB到10 dB，便能很好地符合Class B的辐射限值。

表4. CISPR 22 Class A和Class B辐射限值，标准四层PCB、4通道、1 Mbps

要求	3.3 V V_{DD} , 30 MHz 至 230 MHz	3.3 V V_{DD} , 230 MHz 至 1000 MHz	5 V V_{DD} , 30 MHz 至 230 MHz	5 V V_{DD} , 230 MHz 至 1000 MHz
四层PCB板的辐射	28 dB	36 dB	34 dB	39 dB
CISPR 22 Class A限值	40 dB	47 dB	40 dB	47 dB
CISPR 22 Class B限值	30 dB	37 dB	30 dB	37 dB
满足CISPR 22 Class B所需的辐射降幅	0 dB	0 dB	4 dB	2 dB

表5. 降低辐射的技术，四层PCB增加拼接电容，4通道、1 Mbps

技术	3.3 V V_{DD} , 30 MHz 至 230 MHz	3.3 V V_{DD} , 230 MHz 至 1000 MHz	5 V V_{DD} , 30 MHz 至 230 MHz	5 V V_{DD} , 230 MHz 至 1000 MHz
添加150 pF拼接电容	-5 dB	-7 dB	-7 dB	-10 dB
再添加150 pF拼接电容	-5 dB	0 dB	-6 dB	0 dB
添加护栏和保护环	-1 dB	0 dB	-1 dB	0 dB
电磁辐射总降幅	-11 dB	-7 dB	-14 dB	-10 dB

表6. CISPR 22 Class A和Class B辐射限值，标准四层PCB、4通道、10 Mbps

要求	3.3 V V _{DD} , 30 MHz 至 230 MHz	3.3 V V _{DD} , 230 MHz 至 1000 MHz	5 V V _{DD} , 30 MHz 至 230 MHz	5 V V _{DD} , 230 MHz 至 1000 MHz
四层PCB板的辐射	45 dB	53 dB	54 dB	57 dB
CISPR 22 Class A限值	40 dB	47 dB	40 dB	47 dB
CISPR 22 Class B限值	30 dB	37 dB	30 dB	37 dB
满足CISPR 22 Class B所需的辐射降幅	15 dB	16 dB	24 dB	20 dB

表7. 降低辐射的技术，四层PCB增加拼接电容，4通道、10 Mbps

技术	3.3 V V _{DD} , 30 MHz 至 230 MHz	3.3 V V _{DD} , 230 MHz 至 1000 MHz	5 V V _{DD} , 30 MHz 至 230 MHz	5 V V _{DD} , 230 MHz 至 1000 MHz
添加150 pF拼接电容	-8 dB	-24 dB	-11 dB	-25 dB
再添加150 pF拼接电容	-7 dB	0 dB	-10 dB	-3 dB
添加护栏和保护环	-1 dB	0 dB	-1 dB	0 dB
电磁辐射总降幅	-16 dB	-24 dB	-22 dB	-28 dB

第二个示例的四个通道以10 Mbps输入信号频率工作，需要满足CISPR 22 Class B标准。如表6所示，无拼接电容的标准四层ADuM1402评估板在更高数据速率10 Mbps下对4个通道进行测试，结果显示标准布局不能满足CISPR 22 Class A和Class B辐射要求。使用拼接电容，以及将电源电压降至3.3 V，有助于降低辐射水平。

表7显示了运用抗电磁辐射技术可获得的电磁辐射降低幅度。在3.3 V V_{DD}下使用所有技术时，可满足CISPR 22 Class B要求。在5 V V_{DD}下使用所有技术时，可满足CISPR 22 Class A要求，但仍然超过30 MHz至230 MHz时的限值2 dBμV/m。要满足10 Mbps、4个通道时的CISPR 22 Class B限值，需再添加一个100 pF拼接电容，将图16中的蓝线(标准板、5 V)延伸到400 pF，使辐射再降低5 dBμV/m至6 dBμV/m。

辐射取决于发送器侧接地层的大小，以及接地层与电源层之间的间隔。可能的话，建议使用较大的发送器侧内层电容区域。距离电路板边缘较远，以及接地层与电源层之间的间隔较近，均会限制电磁辐射。对于较小的发送器侧接地层，使用过孔护栏和内层电容有助于降低辐射。

Class A容许的辐射水平比Class B高出约10 dB，这使设计人员在选择抗电磁辐射技术时有更大的灵活性。采用该示例板，只需添加拼接电容便可满足Class A要求。

图20显示了PCB相关技术。它是一个剖视图，为了更清楚地显示底层结构，某些结构已被移除。图20清楚显示了如

何实施拼接电容和原边护栏技术。它没有显示内层电容旁路技术，因为这种结构太精细，无法显示在此图中。

图中显示拼接电容与电源共用一层。这是一种精致而紧凑的解决方案，但它会限制可用来创建电容的空间，因为它分割了电源层。如果此层上的空间不足以用来创建足够大的电容，可以将拼接结构移至其自己的板层，或使拼接结构与信号共用一层。如果使用信号层，应注意避免拼接结构中出现孤岛。无论使用哪一层，拼接结构均应靠近iCoupler隔离器，可能的情况下应填充间隙。

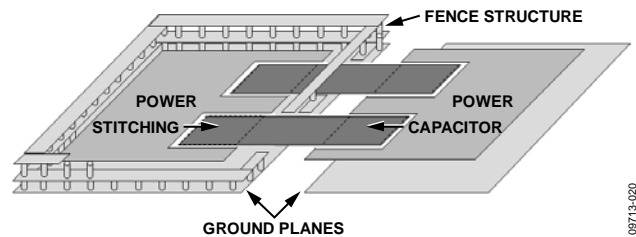


图20. 容性拼接和过孔护栏技术

关于在ADuM140x评估板上实现PCB结构的说明，请参考“附录A—PCB示例”部分。附录说明了此处所述的结构图，以及所实现的耦合与旁路电容值。

间隙板布局结果

在某些应用中，输入至输出拼接布局会引起一个问题，这就是当应用的PCB认证标准要求PCB一层内的各平面之间存在较宽的间隙时，拼接电容的性能会下降。解决办法是利用内部接地和电源层中的较宽阻挡区域来创建拼接电容。

为了对此进行测试，先执行辐射腔测量，以便比较一个里层间距为标准值0.4 mm的四层板，与一个内部GND和V_{DD}层之间具有4 mm宽间隙的四层板，如图21、图22和图23所示。测试四片不同的电路板：标准板、添加防护和护栏的标准板、间隙板、添加防护和护栏的间隙板。所用的间隙为

4 mm宽，但对于大多数应用，间隙距离可以小得多。结果如图24和图25所示，标准板与间隙板之间有1 dB或更小的差异，因此，利用间隙板布局可以控制辐射。在30 MHz至230 MHz的辐射频率范围内，防护板比标准板有2 dB的改善，这可能意味着防护降低了间隙处的边缘辐射，因为它有助于消除“边缘辐射”部分所述的20h效应。

有关间隙板的更多信息，请参考“附录A—PCB示例”，包括布局图和交叠区域中过孔和器件的间隙区域。

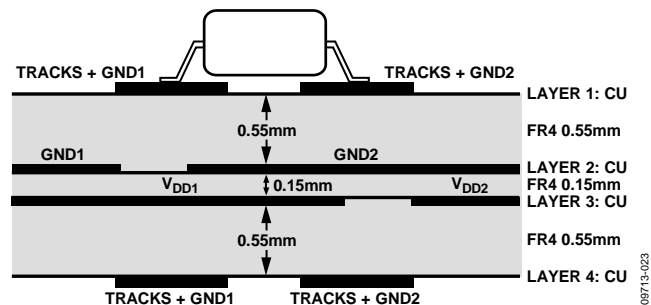


图23. 具有0.15 mm电介质的ADuM1xxx间隙板布局
截面：显示GND层2和V_{DD}层3

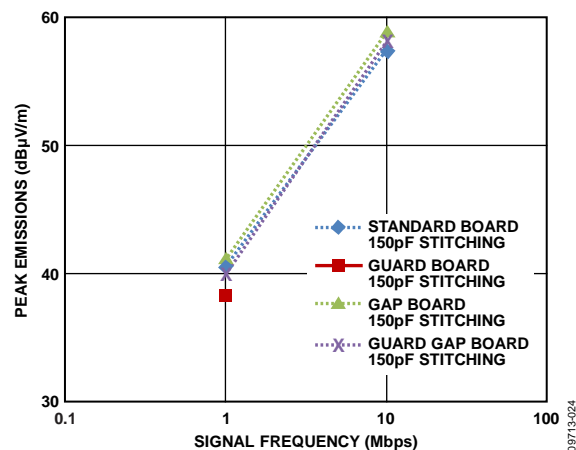


图24. 用于比较间隙板的5 V V_{DD}峰值辐射，辐射频率范围30 MHz至230 MHz

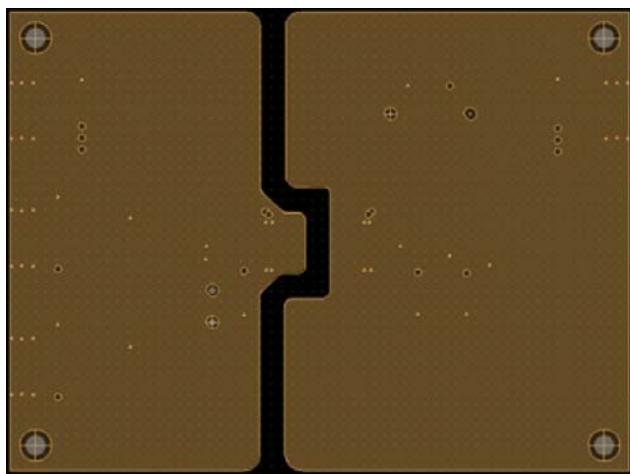


图21. 具有4 mm间隙的ADuM1xxx间隙板布局：显示GND层2

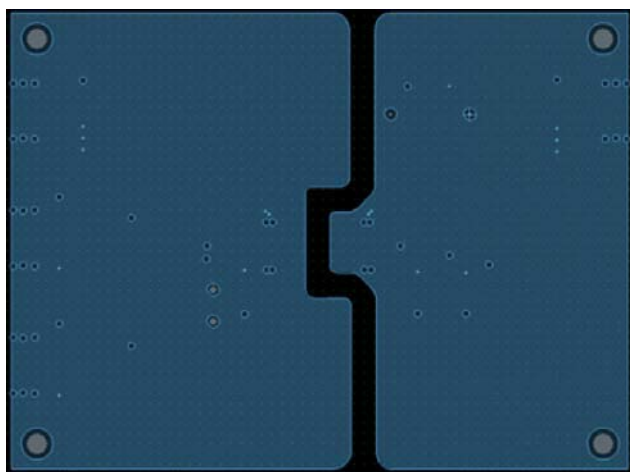


图22. 具有4 mm间隙的ADuM1xxx间隙板布局：显示V_{DD}层3

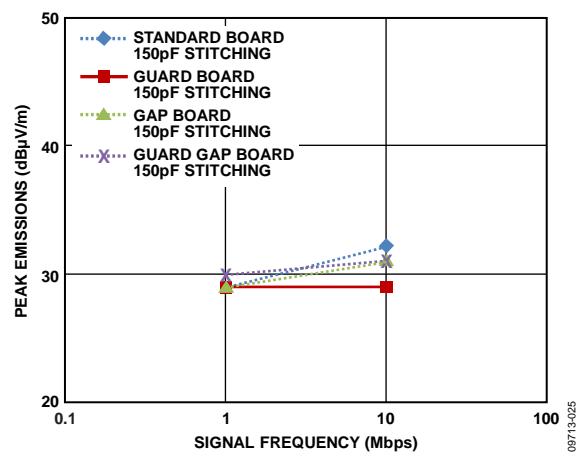


图25. 用于比较间隙板的5 V V_{DD}峰值辐射，辐射频率范围230 MHz至1000 MHz

结论

本应用笔记所概述的每种方法可以用于特定辐射源，并可以与所介绍的其它技术合并使用，以根据需要降低相关辐射。在无外部屏蔽情况下，利用拼接电容和边缘防护，测试板很容易符合CISPR 22 Class B标准。此外，在接地层和电源层中使用内层去耦电容可以为精密测量应用提供非常安静的环境。

虽然本应用笔记所依赖的数据是在四通道ADuM140x器件上收集到的，但这些技术适用于全部*iCoupler*数据隔离器产品。有关如何抑制*isoPower*(集成隔离电源)产品电磁辐射的更多信息，请参考应用笔记[AN-0971](#)：“*isoPower*器件的辐射控制”。

在医疗等要求低交流泄漏的应用中，拼接电容可能不是一个可行的方案。在其它应用中，拼接电容可能会将噪声从高噪声端耦合到低噪声端。这种情况下，使用内层电容旁路、边缘防护、电源和接地填料等技术可能有助于降低传导噪声。在无法使用拼接电容并且其它技术无效的应用中，为使辐射降至最小，金属机壳接地可能是最可行的方案。

附录A—PCB示例

低噪声PCB示例

已经证明，标准评估板布局符合CISPR 22 Class A限值(以及FCC Class A限值，如图19所示)。像标准板一样，低噪声板使用四层堆叠，第一层到第四层分别是信号层、接地层、电源层和信号层。接地层和电源层相隔0.1 mm，因而在第二层与第三层之间创建一个内层电容，它有助于旁路用来驱动内部变压器的1 ns宽脉冲。GND1与GND2之间相隔大约8 mm，这些接地层形成一个有效的偶极子。该偶极子由高频变压器脉冲在接地层上产生的电源噪声驱动，可以引起RF辐射。

已经证明，低噪声评估板布局符合CISPR 22 Class B限值(以及FCC Class B限值，如图19所示)。为了降低辐射，低噪声评估板布局既能屏蔽辐射，又能在隔离接地层两端提供一个小的旁路电容。请记住，此拼接电容位于PCB里层，避免涉及到板表面的电气间隙和爬电距离问题。低噪声评估板使用与标准评估板相似的四层堆叠，但改变了接地层和电源层的间距和位置。如图27所示，GND层2 (GND1层)延伸以覆盖ADuM140x下方的间隙。在层2中，GND1到GND2有0.4 mm的间隙(FR4材料)。依据表2，该间隙的介电强度为40 kV/mm (1000 V/mil)，提供16 kV以上的隔离。与接地层相似，图28显示V_{DD2}层延伸到ADuM140x以下，V_{DD1}与V_{DD2}之间有0.4mm的间隙(FR4材料)。

拼接电容可通过下式计算：

$$C = \epsilon_r \epsilon_0 \frac{A}{d}$$

其中：

$\epsilon_r = 4.5$ (依据表2)。

ϵ_0 为自由空间的介电常数 $8.85 \times 10^{-12} \text{ F/m}^{-1}$ 。

A 为拼接电容的交叠面积。

d 为接地层与电源层的间距。

当间距为 $0.1 \times 10^{-3} \text{ m}$ 、面积为 $8 \text{ mm} \times 100 \text{ mm}$ (0.0008 m^2)时，拼接电容约为300 pF。至少150 pF的跨隔离栅电容能够有效地降低辐射(参见图14)。

隔离电压的限制因素是第二层与第三层之间的0.1 mm FR4电介质间隔，它提供4000 V隔离，足以满足多数应用的要求。如果需要更高的隔离电压，可以加厚第二层与第三层之间的电介质，提高隔离效果，直接减小电介质电容。

接下来计算评估板原边上的内层电容。应用PCB原边上的接地层和电源层彼此非常靠近，因而形成该电容。本例中， 56 cm^2 的接地层与电源层构成一个2.2 nF的低电感电容。为利用这一旁路，器件焊盘与电源层之间的过孔连接必须尽可能大，使得器件与内层电容之间的寄生电感最小。

$$C_{\text{INTERPLANE}} = \frac{A_{\text{PRIMARY}} (\epsilon_0 \times \epsilon_r)}{d}$$

$$C_{\text{INTERPLANE}} = \frac{5.6 \times 10^{-3} \text{ m}^2 (8.854 \times 10^{-12} \text{ F/m} \times 4.5)}{0.1 \times 10^{-3} \text{ m}}$$

$$C_{\text{INTERPLANE}} = 2.2 \text{ nF}$$

图30给出了一个低噪声PCB原理示意图。

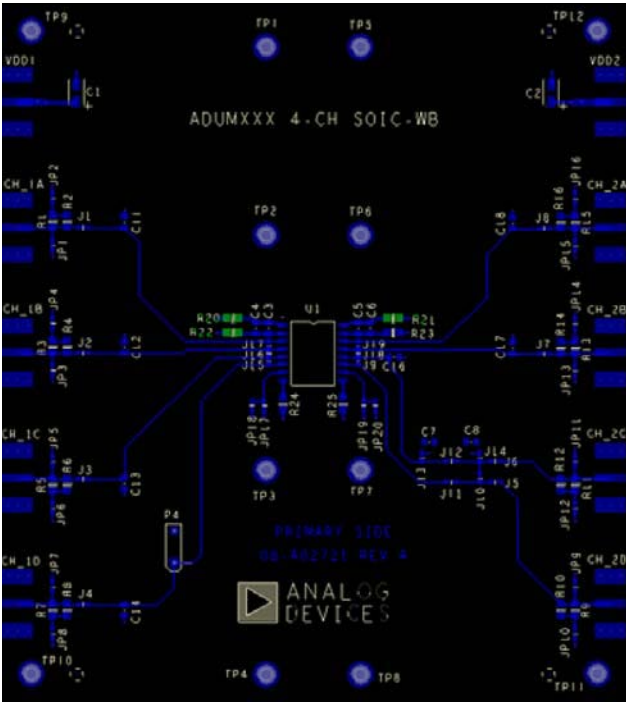


图26. 四层低噪声PCB布局的第一层（顶层）

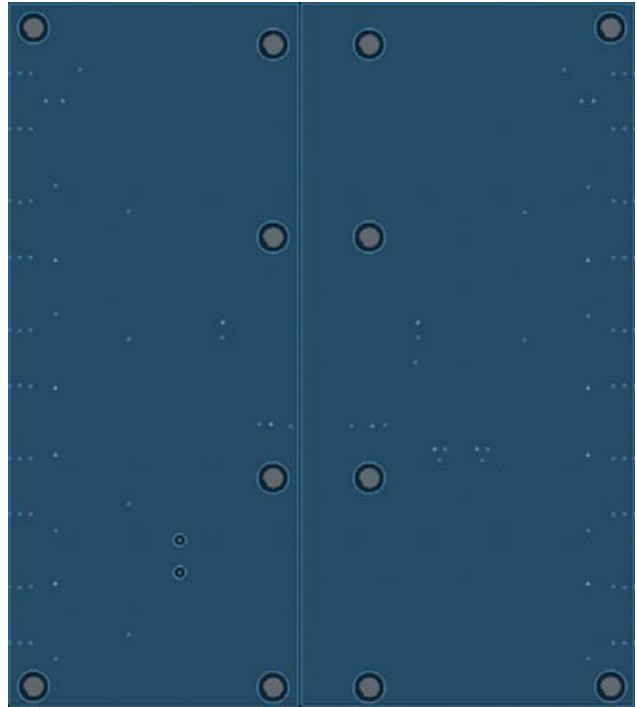


图28. 四层低噪声PCB布局的第三层（V_{DD}层）

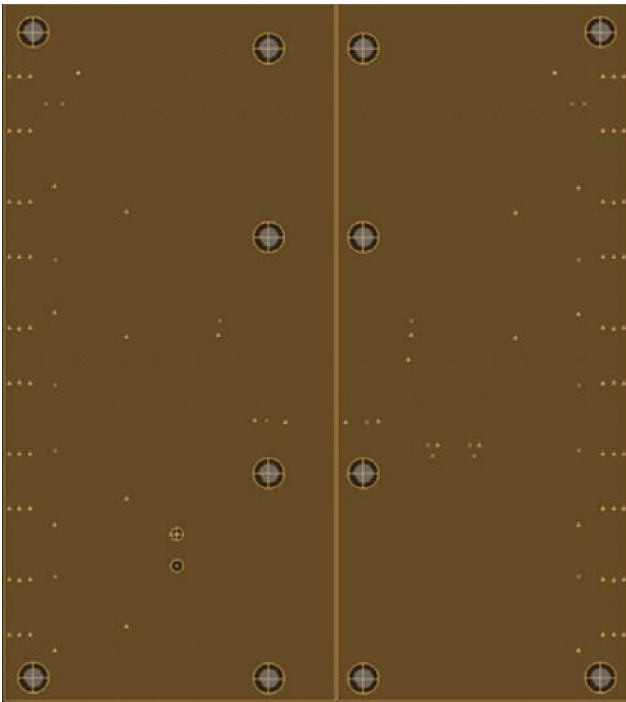


图27. 四层低噪声PCB布局的第二层（GND层）

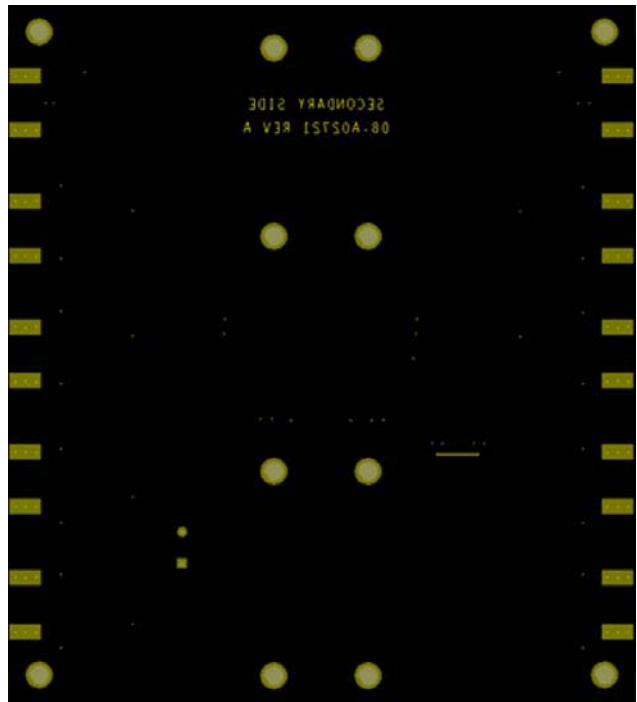


图29. 四层低噪声PCB布局的第四层（底层）

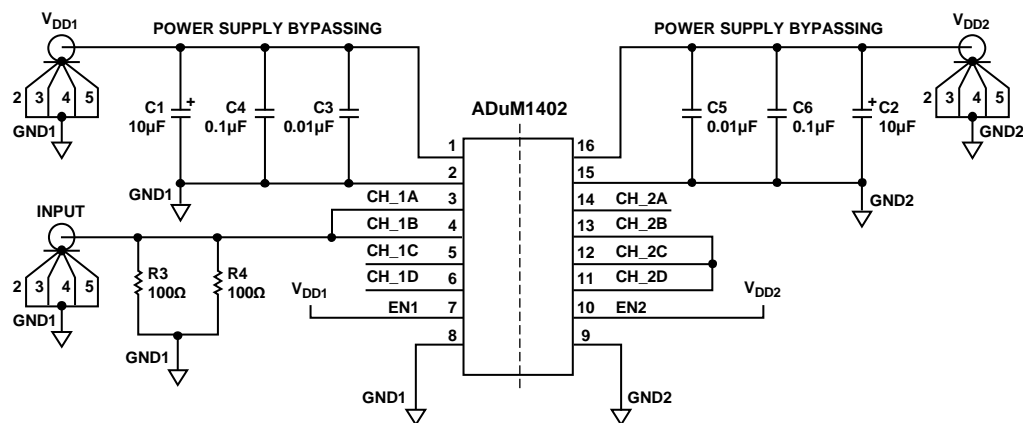


图30. 低噪声PCB原理示意图

09713-030

间隙PCB示例

如“间隙板布局结果”部分所述，当应用的PCB认证标准要求PCB一层内的各平面之间存在较宽的间隔时，可能需要较宽的间隙布局。解决办法是利用内部接地和电源层中的较宽阻挡区域来创建拼接电容。建议的布局使用150 pF交叠电容， V_{DD} 层3中的间隙可以为4 mm；为使板面积最小，该布局使用推荐的0.15 mm厚FR4电介质，由此可获得合理大小的交叠板面积，并为其它器件留下空间。交叠电容和所需的电路板面积可通过计算得出。150 pF交叠电容所需面积的限制因素是第二层与第三层之间的FR4电介质间距。电介质电容可通过下式计算：

$$C = \epsilon_r \epsilon_0 \frac{A}{d}$$

其中：

$\epsilon_r = 4.5$ (FR4的介电常数)。

ϵ_0 为自由空间的介电常数 $8.854 \times 10^{-12} \text{ F/m}^{-1}$ 。

d 为接地层与电源层的间距。

对于150 pF的交叠电容，面积为：

$$A = \frac{150 \text{ pF}}{\epsilon_r \epsilon_0} d = 3.75 \times 10^3 \times d$$

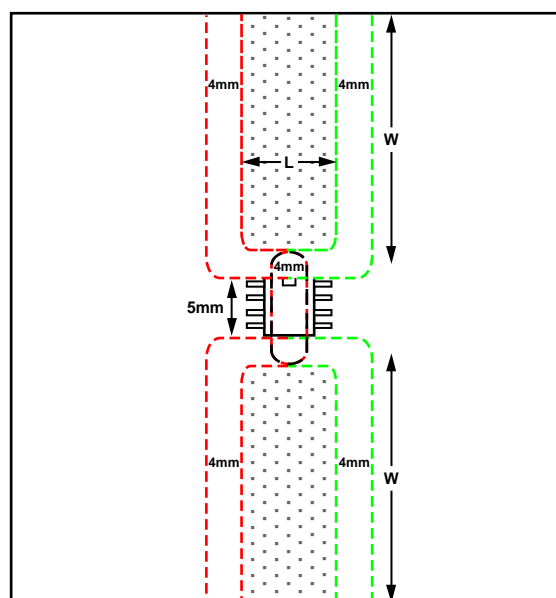
其中， d 为电介质厚度(单位mm)。

图31中，电介质厚度为0.15 mm，计算可得面积 $A = 560 \text{ mm}^2$ 。

垂直板尺寸因两个4 mm阻挡区域和连接都ADuM1xxx的区域而缩短，剩下的区域分为两个区域，宽度为 W ，如图31所示。

图32显示了第一侧和第二侧的位置，器件可以放在交叠区域中。建议不要将过孔放在交叠区域中，过孔周围需有空隙。

对于过孔放在交叠区域中的PCB布局，过孔周围需有阻挡区域。图33给出了过孔在交叠区域中的空隙示例，其中 C 表示空隙间距(同间隙距离)， r 表示过孔和空隙总面积的半径。



PC BOARD OVERLAP LAYOUT WITH V_{DD} TO GND
DIELECTRIC $d = 0.15 \text{ mm}$

4mm GND LAYER 2
4mm GND LAYER 3
OVERLAP AREA $A = 2 \times L \times W$

图31. ADuM1xxx的布局， V_{DD} 至GND的电介质厚度为0.15 mm

09713-031

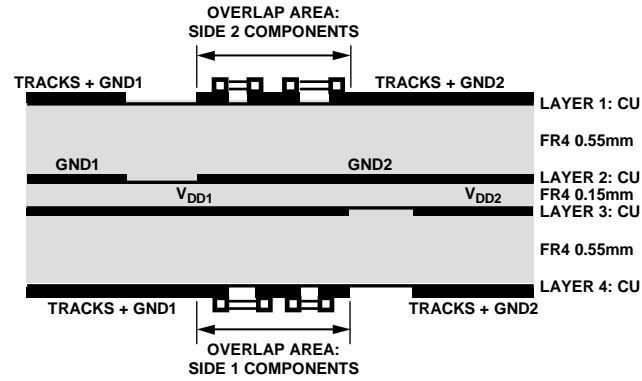


图32. 建议的ADuM1xxx PCB布局截面：第一侧和第二侧器件位于交叠区域上，V_{DD}至GND电介质厚度为0.15 mm

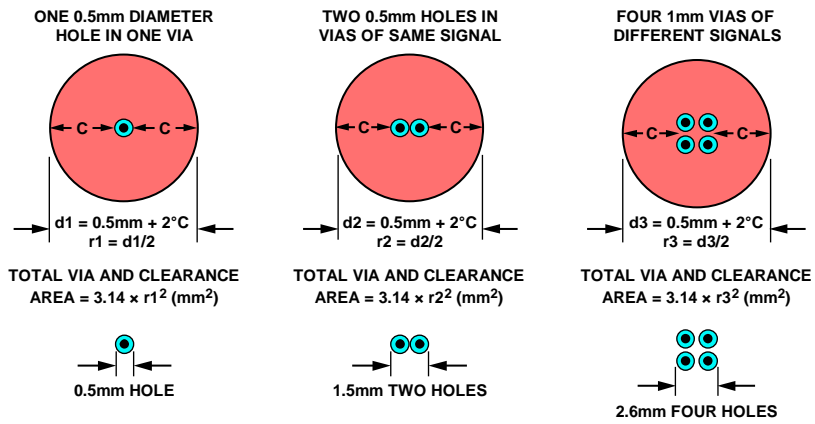


图33. 交叠区域中的过孔周围需有空隙

参考资料

Archambeault, Bruce R. and James Drewniak. 2002. *PCB Design for Real-World EMI Control*. Boston: Kluwer Academic Publishers.

Gisin, Franz and Zorica Pantic-Tanner. 2001. "Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs." *Telecommunications in Modern Satellite, Cable and Broadcasting Service*. Nis, Yugoslavia.

注释