

## 找出那些难以琢磨、稍纵即逝的ADC闪码和亚稳状态

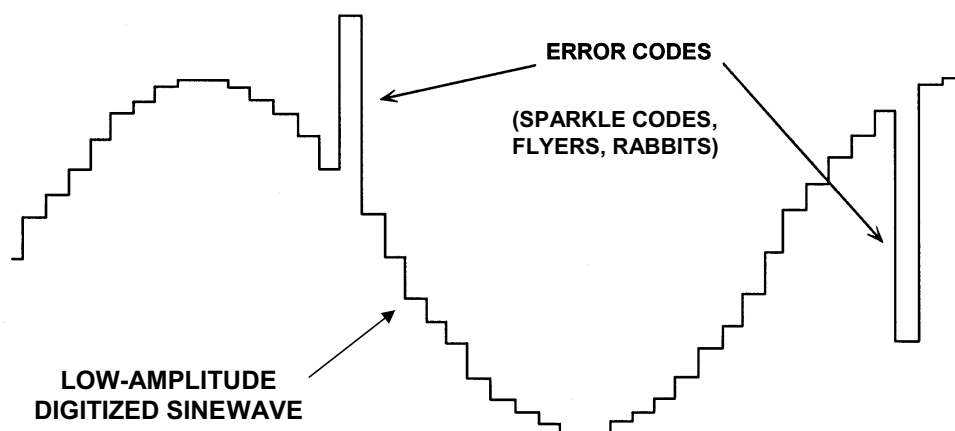
作者：Walt Kester

### 简介

数字通信系统设计关注的一个主要问题是误码率(BER)。ADC噪声对系统BER的影响可以分析得出，但前提是该噪声须为高斯噪声。遗憾的是，ADC可能存在非高斯误码，简单分析根本无法预测其对BER的贡献。在数字示波器等仪表应用中，误码率也可能造成问题，尤其是当器件工作于“单发”模式时，或者当器件尝试捕获偶尔出现的瞬变脉冲时。误码可能被误解为瞬变脉冲，从而导致错误的结果。本指南介绍ADC中可能贡献误差率的基本因素，减少问题的办法，以及BER的测量方法。

### 闪码、误码、跳码(RABBITS)或飞码(FLYERS)

随机噪声，无论来源于何处，都会产生有限概率的误差（与预期输出的偏差）。但在描述误码源之前，我们需要定义什么是ADC误差或者“闪码”(sparkle code)。在ADC之前或者内部产生的噪声可以通过传统方法进行分析。在大多数情况下，ADC噪声呈高斯分布，表现为ADC的分辨率（量化噪声）与ADC内部产生的额外噪声（折合到输入端噪声）的函数。ADC跳码指无法归因于ADC有效高斯噪声、与预期输出之间的任何偏差。图1所示为当一个低幅正弦波被施加给一个存在误码的ADC时，被夸大了的输出情况。图中未显示ADC的高斯噪声。



**图1：存在误码的ADC的夸大版输出**

这些误差较大，比ADC高斯噪声导致的误差更加明显，属于非预期噪声。这些误差具有随机性，出现频率非常低，对ADC进行FFT SNR测试很难检测到。20世纪70年代，这类误差困扰着部分早期的视频ADC，由于它们在电视屏幕上表现为小白点，或者在某些测试条件下表现为“闪点”，因而被称为“闪码”。这类误差也被称为跳码(*rabbit*)或飞码(*flyer*)。在数字通信应用中，这类误差会导致系统总误码率(BER)增加。然而，需要注意的是，多数通信系统内置误差检测和校正代码，能纠正部分误码；因此，分析ADC闪码对系统总误码率的实际贡献是非常困难的事。另一方面，ADC高斯噪声对系统总误码率的影响已经得到较好的分析。

## FLASH转换器中的闪码

要了解误码的起因，我们先来考察一下简单flash转换器的情况。充当flash ADC构建模块的比较器需要较高的分辨率，这就意味着较高的增益。当差分输入接近零时，这可能导致不受控制的振荡。为了避免发生这种情况，通常需要利用少量正反馈向比较器添加迟滞。图2所示为迟滞对整个传递函数的影响。许多比较器拥有1或2毫伏的迟滞，以鼓励“跳动”动作，并防止局部反馈在过渡带导致不稳定。请注意，比较器的分辨率不能低于迟滞，因此，在ADC应用中，较大的迟滞值一般并无用处。

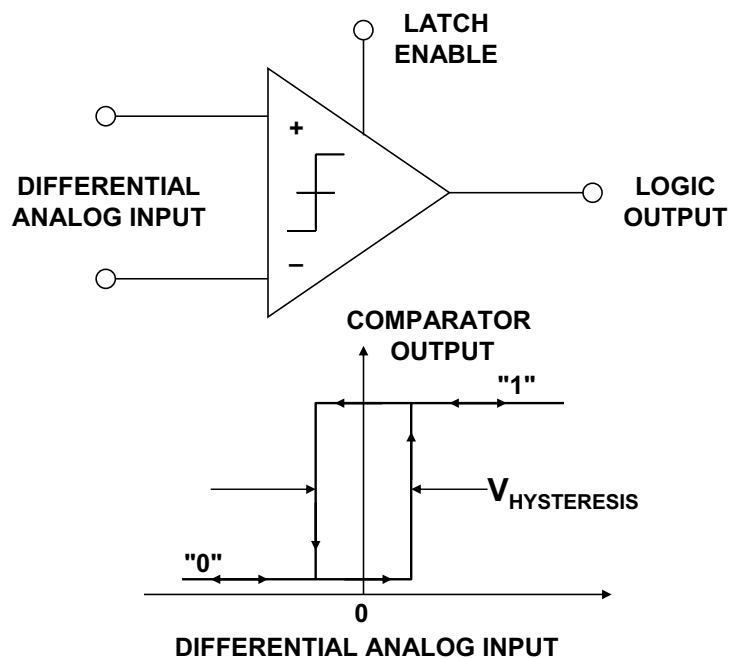
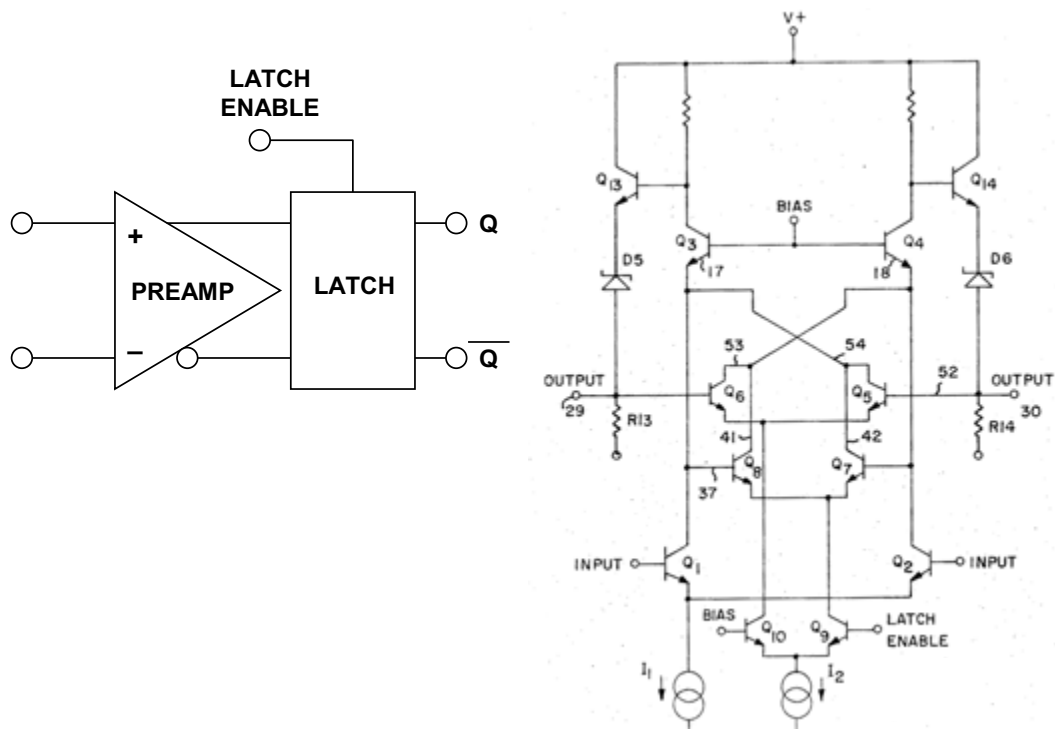


图2: 锁存比较器

早期的比较器利用真空管设计而成，一般用于无线电接收器中——当时被称为鉴频器而不是比较器。ADC中用到的多数现代比较器内置一个锁存，使其可以在数据转换器中用作采样器件。图3所示为Advanced Micro Devices, Inc.于1972年推出的AM685 ECL（发射极耦合逻辑）锁存比较器的典型结构（参见参考文献1）。



**图3：AM685 ECL比较器(1972)**

输入级前置放大器驱动一个交叉耦合锁存。当锁存被激活时，锁存将输出锁定于其此时所处的逻辑状态。因而，锁存执行的是保持功能，使短输入信号可检测到并保留供进一步处理。由于锁存直接运行于输入级上，所以信号不会被进一步延迟——可以捕获并保留仅宽几纳秒的信号。与无锁存比较器相比，锁存比较器对局部反馈导致的不稳定性的敏感度不高。

当比较器内置于IC ADC时，其设计必须考虑分辨率、速度、过载恢复、功耗、失调电压、偏置电流和所选架构占用的芯片面积。比较器另有一种虽然微妙却令人讨厌的特性，如果不了解且未有效地处理，则可能在ADC中导致较大的误差（闪码）。这种误差因素是：当比较器把较小的差分输入分辨至有效输出逻辑电平中时，偶尔存在的不稳定性。这种现象称为亚稳态(*metastability*)——指比较器在阈值下、在较长时间内保持平衡的能力。

亚稳态问题如图4所示。其中展示了三种差分输入电压条件：(1) 大差分输入电压；(2) 小差分输入电压；(3) 零差分输入电压。

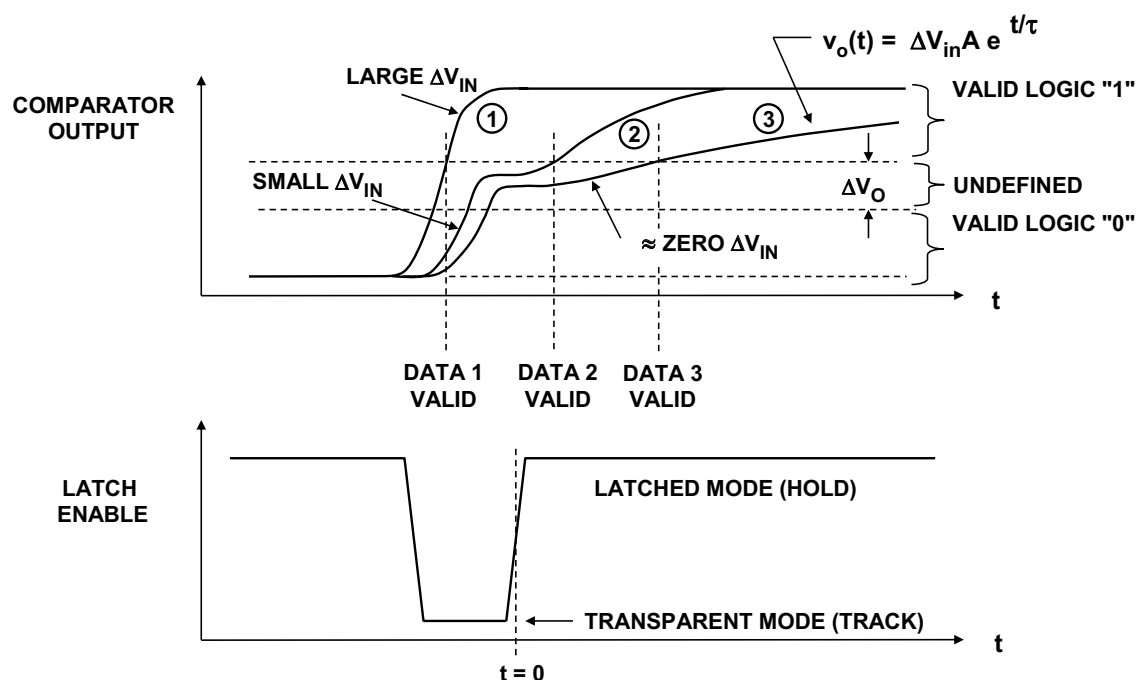


图4：比较器亚稳态误差

用来描述输出电压 $V_O(t)$ 的近似等式为：

$$V_O(t) = \Delta V_{IN} A e^{t/\tau}, \quad \text{等式1}$$

其中， $\Delta V_{IN}$  = 锁存时的差分输入电压； $A$  = 前置放大器在锁存时的增益； $\tau$  = 锁存的再生时间常数； $t$  = 自比较器输出锁存后已过的时间（参见参考文献2、3）。

对于小差分输入电压，输出达到有效逻辑电平需要的时间较长。如果在输出数据位于“有效逻辑1”与“有效逻辑0”之间的区域时被读取，则数据可能是错误的。如果差分输入电压刚好为零，且比较器在锁存时完全平衡，则达到有效逻辑电平所需时间可能非常长（理论上为无限长）。然而，在比较器迟滞和输入噪声的作用下，这种条件很难出现。根据比较器在实际ADC中的利用方式，比较器无效逻辑电平产生的效应有所不同。

从设计角度来看，可以通过以下方式降低比较器亚稳态：提高增益( $A$ )，增加锁存的增益带宽以减小再生时间常数( $\tau$ )，并为比较器输出达到有效逻辑电平给出充足的时间( $t$ )。分析速度、功率和电路复杂性之间复杂的权衡关系以优化比较器设计不在本文讨论范围之内，不过参考文献2、3对该问题进行了较好的探讨。

理解比较器亚稳态怎样在flash转换器中产生闪码并不难。如果利用简单的二进制解码逻辑来解码温度计编码，则亚稳态比较器输出可能导致较大的输出误码。我们来看看图5所示的一种简单的3位flash转换器。假设输入信号正好等于比较器4的阈值，且每当应用锁存选通时，随机噪声导致比较器在“1”和“0”两个输出间来回切换。对应的二进制输出应理解为011或100。然而，如果比较器输出处于亚稳态，则图中所示简单二进制解码逻辑可能产生二进制码000、011、100或111。000和111表示与预期码的偏差为半量程，并将表现为闪码。

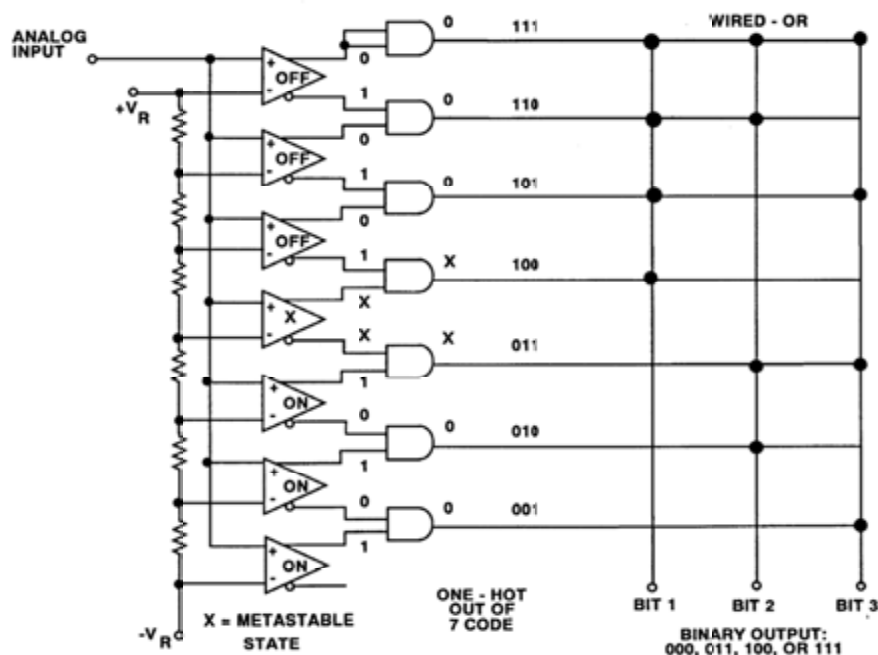


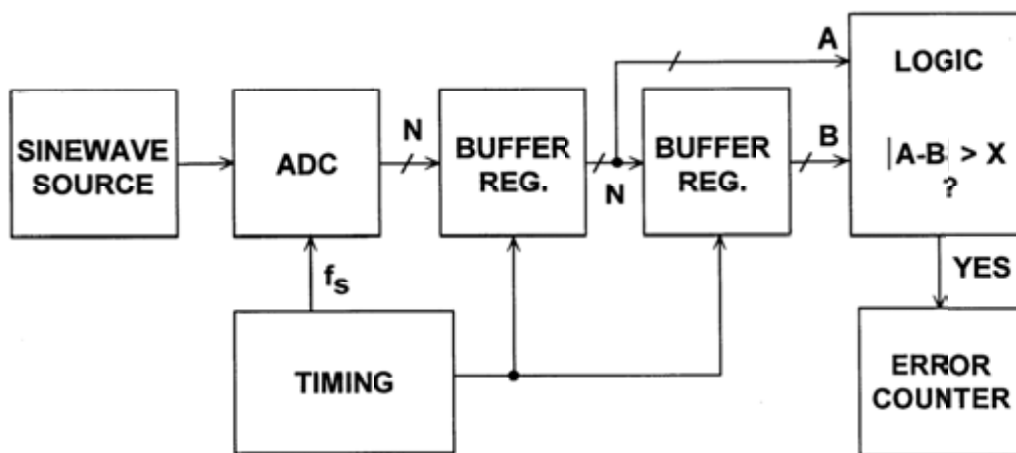
图5：比较器输出亚稳态可能导致数据转换器出现误码

随着采样速率的增加，亚稳态导致误差的概率也会增加，因为亚稳态比较器的建立时间减少了。

在flash转换器设计中，人们通过多种测量方式来减少亚稳态问题的影响。一种方法是先用格雷码或“伪格雷”码对比较器输出进行解码（然后再转换为二进制）。这种解码法以及参考文献2至6所描述的其他解码方案可以降低这些误差的幅度。针对再生增益和小时间常数来优化比较器设计是减少这些问题的另一种方法——其代价是增加功耗。

亚稳态误差（及其导致的闪码）也可能出现在逐次逼近型ADC和流水线式分级ADC中，这类ADC采用flash转换器和比较器。相同的概念同样适用于这种情况，只是误码的幅度和位置可能有所不同。

图6所示测试系统可以用来测试ADC中的误码率。ADC的模拟输入由一个高稳定、低噪声正弦波发生器提供。模拟输入电平设为稍高于满量程和频率，使采样之间始终存在略低于1-LSB的变化，如图7所示。



$E = \text{Number of Errors in Interval } T$

$$\text{BER} = \frac{E}{2 T f_s}$$

**图6: ADC误码率测试设置**

该测试设置采用两个串行缓冲寄存器来捕获连续码A和B。通过一个逻辑电路来确定A与B之间的绝对差。然后，将该差值与误差限值进行比较，该限值旨在允许正常ADC噪声导致的预期随机高斯噪声尖峰。使该差值大于误差限值的误差会使计数器加1。将一个时期内T的误差数E累加起来。在此基础上计算得到误码率， $\text{BER} = E/2Tf_s$ 。分母采用系数2，因为输出产生初始误差后返回正确代码时，硬件会记录第二个误差。因此，对于每个误差，误差计数器均增加两倍。需要注意，如果ADC输出存储在存储器中并用计算机程序进行分析，则可以利用软件完成相同的计算。

必须谨慎选择输入频率，使每个代码至少有一个采样，如图7所示。假设一个满量程输入正弦波的幅度为 $2^N/2$ ：

$$v(t) = \frac{2^N}{2} \sin 2\pi ft \quad \text{等式2}$$

则该信号的最大变化率为

$$\left. \frac{dv}{dt} \right]_{\max} \leq 2^N \pi f_0 \quad \text{等式 3}$$

令  $dv = 1 \text{ LSB}$ ,  $dt = 1/f_s$ , 求输入频率:

$$f_{\text{in}} \leq \frac{f_s}{2^N \pi} \quad \text{等式 4}$$

选择低于该值的输入频率, 可以确保每个代码至少有一个采样, 如图7所示。

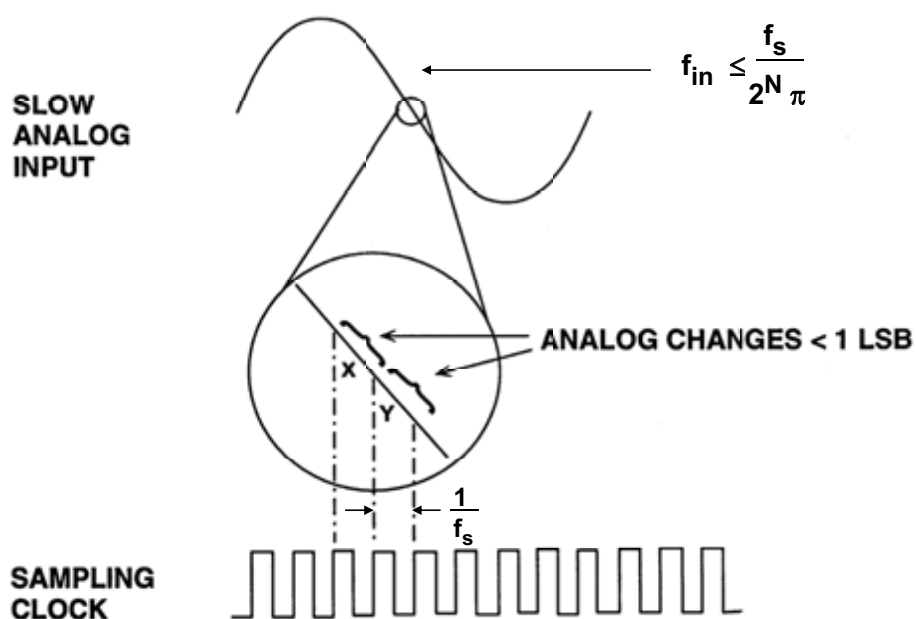
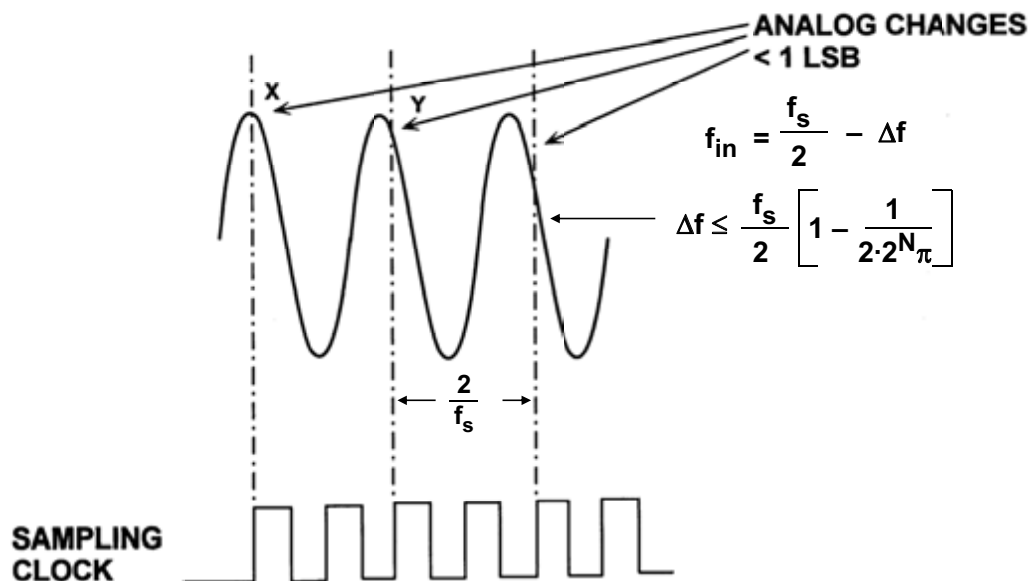


图7: ADC模拟输入信号 (针对低频误码率测试)

在高频下可以进行相同的测试, 其方法是使输入频率略偏移  $f_s/2$ , 如图8所示。结果会使ADC在转换间的压摆率达到满量程。再比较每一个其他的转换, 选择“合拍”频率, 使交替采样间存在略低于1 LSB的变化。



**图8: ADC模拟输入 (针对高频误码率测试)**

为高频误码率测试计算适当频率的等式推导方式如下。

假设输入满量程正弦波的幅度为 $2^N/2$ ，其频率比 $f_s/2$ 略低 $\Delta f$ 频率。

$$v(t) = \frac{2^N}{2} \sin \left[ 2\pi \left( \frac{f_s}{2} - \Delta f \right) t \right] \quad \text{等式5}$$

则该信号的最大变化率为

$$\left. \frac{dv}{dt} \right]_{\max} \leq 2^N \pi \left( \frac{f_s}{2} - \Delta f \right) \quad \text{等式6}$$

令 $dv = 1 \text{ LSB}$ ， $dt = 2/f_s$ ，求输入频率 $\Delta f$ ：

$$\Delta f \leq \frac{f_s}{2} \left( 1 - \frac{1}{2 \cdot 2^N \pi} \right) \quad \text{等式7}$$

确定运行良好的ADC的误码率并非易事，需要耗费大量时间——一个转换器可能测试数天都不能发现误差。例如，对采样速率为75 MSPS的AD9002 8位150 MSPS flash转换器进行测试，得到误差率约为 $3.7 \times 10^{-12}$ （每小时一个误差），误差限值为4 LSB。进行长时间、有意义的测试需要特别注意EMI/RFI效应（要求在屏蔽室进行）、隔离电源、用机械恒温器与烙铁隔离、与其他基准设备隔离等。



图9所示为75 MSPS采样频率下，误差间的平均时间与误码率BER的关系。可以看出，测量低误码率是非常困难的，因为长时间测量会增加电源瞬变、噪声等的概率，从而导致误差。

Bit Error Rate (BER)	Average Time Between Errors
$1 \times 10^{-8}$	1.3 seconds
$1 \times 10^{-9}$	13.3 seconds
$1 \times 10^{-10}$	2.2 minutes
$1 \times 10^{-11}$	22 minutes
$1 \times 10^{-12}$	3.7 hours
$1 \times 10^{-13}$	1.5 days
$1 \times 10^{-14}$	15 days

**图9：采样频率为75 MSPS时，误差间平均时间与误码率的关系**

## 结束语

从用户角度来看，比较器亚稳态的影响（如果会影响ADC的性能的话）体现在误码率(BER)——通常大多数ADC数据手册中并未标明该值。从本指南中可以看出，全面测定ADC BER需要在多种输入条件和误差限值下对器件进行广泛的测量，极大地增加了工作量。

在大多数应用中，设计得当的ADC并不存在误码率问题，但系统设计师必须知道，这种现象是可能存在的。在数字示波器中利用ADC来检测小幅单发随机事件时，可能存在这种问题。如果误码率不够小，ADC可能给出错误的信息。在通信应用中，过量的ADC误码率可能导致系统总误码率增加。

**参考文献:**

1. James N. Giles, "High Speed Transistor Difference Amplifier," *U.S. Patent 3,843,934*, filed January 31 1973, issued October 22, 1974. (*describes one of the first high-speed ECL comparators, the AM685*).
2. Christopher W. Mangelsdorf, "A 400-MHz Input Flash Converter with Error Correction", *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 1, February 1990, pp. 184-191. (*a discussion of the AD770, an 8-bit 200 MSPS flash ADC. The paper describes the comparator metastable state problem and how to optimize the ADC design to minimize its effects*).
3. Charles E. Woodward, "A Monolithic Voltage-Comparator Array for A/D Converters," *IEEE Journal of Solid State Circuits*, Vol. SC-10, No. 6, December 1975, pp. 392-399. (*an early paper on a 3-bit flash converter optimized to minimize metastable state errors*).
4. J. Peterson, "A Monolithic video A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979, pp. 932-937.
5. Yukio Akazawa et. al., "A 400MSPS 8 Bit Flash A/D Converter," *1987 ISSCC Digest of Technical Papers*, pp. 98-99. (*describes a monolithic flash converter using Gray decoding*).
6. Matsuzawa et al., "An 8b 600MHz Flash A/D Converter with Multi-stage Duplex-gray Coding," *Symposium VLSI Circuits, Digest of Technical Papers*, May 1991, pp. 113-114. (*describes a monolithic flash converter using Gray decoding*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.