

## 零延迟时钟定时技术简介

作者：Ken Gentile

零延迟指的是时钟频率合成器能够提供与时钟参考源边沿对齐的输出信号，其应用包括许多同步系统，如 SONET 和 SDH 网络、高速网络服务器、网络线路卡以及用于 W-CDMA 和 Wi-Fi 的基带定时等。

### 零延迟架构

集成零延迟时钟频率合成器至少需要三个构建模块（见图 1）。第一个构建模块是锁相环（PLL），它可以是常见的模拟

类型或较新型的全数字设计。第二个构建模块是具有匹配传播延迟的两个（或更多）输出驱动器。第三个构建模块是 PLL 反馈路径中的可变延迟元件。此外，零延迟架构要求从合成器输出到关联目标器件的互连延迟等同。等同的互连延迟是零延迟架构的基本组成部分，没有它，目标器件将无法实现时钟沿对齐。

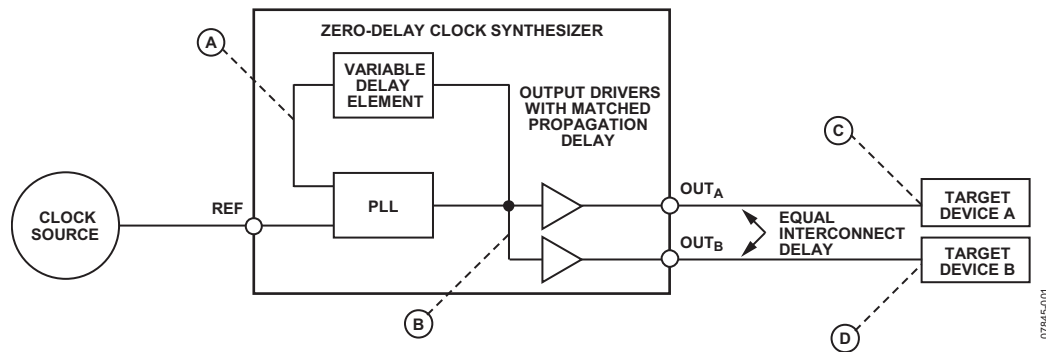


图 1. 通用零延迟频率合成器

07845-001

## 目录

零延迟架构.....	1	时序误差：偏斜和偏移.....	5
零延迟操作.....	3	涉及外部零延迟的考虑.....	7
集成解决方案.....	4		

### 零延迟操作

要了解零延迟操作，请参考图 2，它是图 1 所示零延迟架构的时序图。注意，PLL 的动作使得 A 点的时钟沿与 REF 时钟沿对齐。可变延迟元件位于 PLL 反馈路径中，这意味着 B 点的时钟沿比 A 点的时钟沿提前一个可变延迟量。

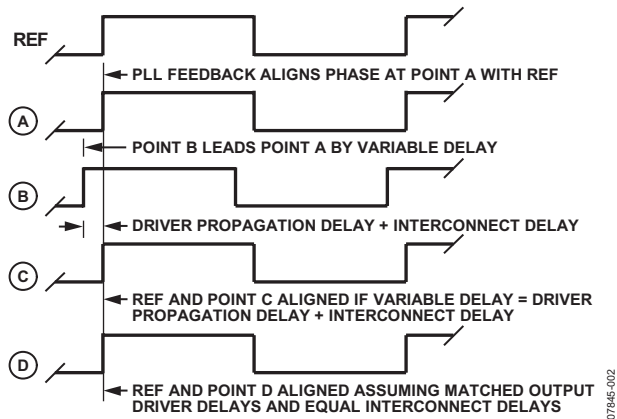


图 2. 零延迟时序图

将可变延迟设置为输出驱动器传播延迟与互连延迟之和，这样 C 点的时钟沿就与 A 点的时钟沿重合，而 A 点的时钟沿与 REF 时钟沿重合，因此，REF 与目标器件 A 的时钟沿对齐。此外，由于输出驱动器共享同一输入信号，并且该信号在经过各驱动器和各互连时均发生相同的延迟，因此 REF 时钟沿不仅与目标器件 A 的时钟沿对齐，而且与目标器件 B 的时钟沿对齐。事实上，只要所有驱动器表现出相同的传播延迟，并且所有互连具有相同的延迟，就可以将上述概念扩展到所需的许多输出。

图 2 中的时序图显示，PLL 提供的频率转换比为 1（即  $f_{REF} = f_{OUT}$ ），这可以简化说明，但并不是必需的。事实上，任何能够提供整数（或整数倒数）输出 / 输入频率比的倍频

或分频系数都是可以接受的。一般而言，输入和输出信号的频率必须谐波相关，时钟沿对齐才有意义。

必须注意，“零延迟”的适用对象是相对时间，而不是绝对时间。图 2 清楚地显示，可变延迟元件导致 B 点的时钟沿先于 REF 时钟沿。显然，在绝对时间中，时间无法倒流，B 点的时钟沿不可能先于 REF 时钟沿。事实上，B 点的绝对时钟沿至少比 REF 时钟沿落后一个完整的时钟周期（减去可变延迟）。在实际的定时应用中，时钟沿只需要相对于参考时钟对齐，因此使用“零延迟”这一术语完全妥当。

图 1 用于说明零延迟架构的概念是有益的，但要作为一种集成解决方案，它是有限性的。更一般的解决方案是在 PLL 的 REF 和反馈路径中各包括一个可编程分频器（见图 3）。利用 REF 和反馈分频器，单一器件就能设置不同的输入 / 输出频率比，从而满足许多应用的需求。然而，对于零延迟应用，只有谐波相关的输入 / 输出频率比才是有意义的。注意，REF 路径中出现了第二个可变延迟单元，其主要作用是对 REF 分频器造成的延迟进行边沿时序补偿。

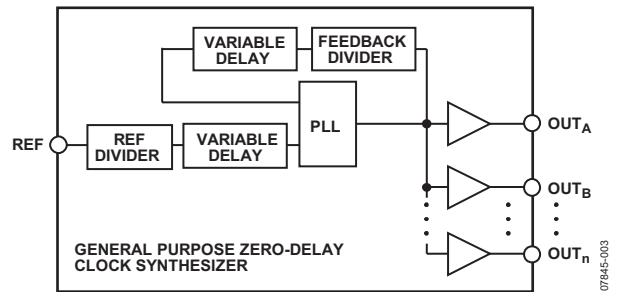


图 3. 通用零延迟频率合成器

通用零延迟架构的进一步扩展是从外部访问 PLL 反馈路径，这将使得零延迟架构能够支持外部扇出缓冲器，如图 4 所示。

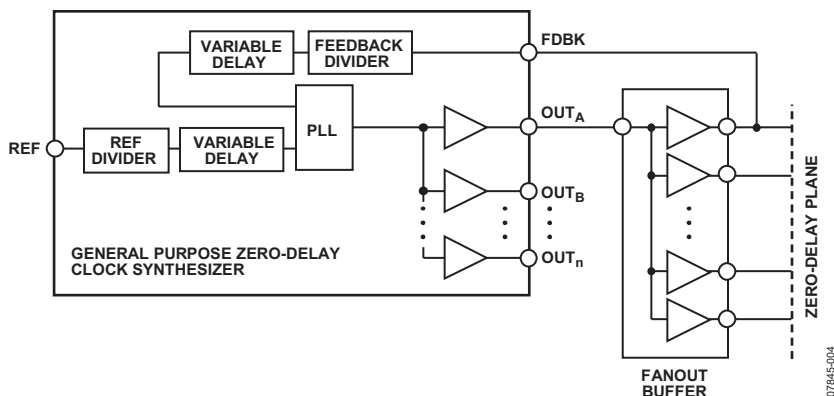


图 4. 外部零延迟架构

## 集成解决方案

AD9520 和 AD9522 是通用时钟频率合成器，能够为许多应用提供集成零延迟解决方案。两款器件的唯一区别是 AD9520 采用 LVPECL 输出驱动器，AD9522 则采用 LVDS 驱动器。任一款器件的输出驱动器都可以编程为 CMOS。图 5 所示为 AD9520/AD9522 的功能框图。

该器件具有一个串行编程接口，支持广泛的时钟合成解决方案，灵活的架构同时支持内部和外部零延迟应用。AD9520/AD9522 的 PLL 部分由 PFD/电荷泵、外部环路滤波器和集成 VCO（带可选 K 分频器）组成。R 分频器为参考分频器，N 分频器为反馈分频器。每个分频器后置一个可编程延迟单元。两个可编程延迟单元均以大约 120 ps 的步进提供大约 1100 ps 的延迟调整。AD9520/AD9522 具有 12 个输出驱动器（通道 0 至通道 11），分为 4 组，每组包括三个驱动器。此外，各组通道都能访问可选的通道分频器（ $M_0$  至  $M_3$ ）。

通道分频器提供额外的分频功能，增强了器件在频率合成应用中的灵活性。除分频外，通道分频器还提供边沿时序

粗调功能。各通道分频器的输出边沿时序是可编程的，编程步进为  $\Delta T$ （最多 32 步），其中  $\Delta T = 1/f_{CLK}$ ， $f_{CLK}$  为通道分频器的输入频率。

通道分频器虽然增强了 AD9520/AD9522 的频率合成能力，但也使涉及零延迟的应用更加复杂，原因是零延迟架构要求从 PLL 输出端到各输出驱动器输入端的延迟等同，通道分频器的存在破坏了这种延迟等同性，除非用户采取适当的措施。具体而言，对于任何用来执行零延迟功能的通道必须同等对待。也就是说，如果一组零延迟输出采用通道分频器，则其他零延迟输出也必须采用通道分频器。此外，必须对零延迟输出相关的所有通道分频器应用相同的分频和延迟值。这些措施可以确保所有通道从 PLL 输出端到各通道驱动器输出端的延迟相同（至少通道之间的内部延迟匹配）。

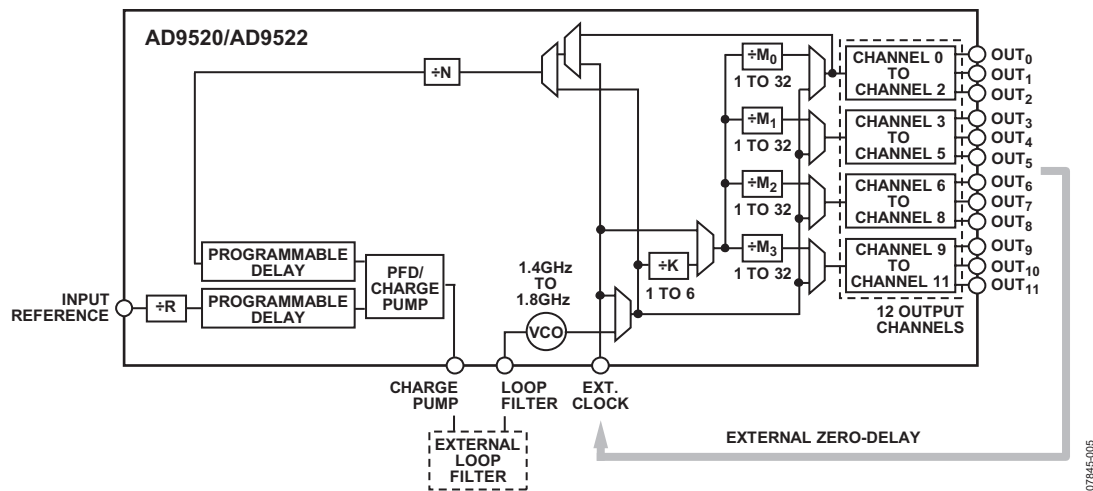


图 5. AD9520/AD9522 功能框图

## 时序误差：偏斜和偏移

理论上，如果外部互连延迟完全一致，则出现在零延迟平面的时钟信号与 REF 信号边沿对齐。然而，实际应用中通常存在两类时序误差。一类是时序偏斜，它是指边沿对齐存在细微的偏差，这些偏差随机分布于多个时钟信号中。另一类是时序偏移，它是指边沿对齐的恒定偏移（相对于 REF 信号），对所有输出时钟信号都相同。

时序偏斜的一个误差源是器件本身。器件各输出通道的传播延迟存在细微的差异，这是内部时序偏斜产生的原因。虽然 AD9520/AD9522 的设计人员力图将时序偏斜降至最小，但仍存在一些无法避免的偏差。时序偏斜的另一个来源是外部互连的物理或电气长度存在细微的误差。

在这两个时序偏斜源中，内部偏斜源相比于外部偏斜源通常可以忽略不计。当使用 AD9520 LVPECL 输出时，情况更是如此，所有通道间的偏斜只有大约 50 ps。即便使用 AD9520/AD9522 CMOS 或 AD9522 LVDS 输出，所有通道间的偏斜分别也只有大约 300 ps 或 200 ps。然而，如果用

户努力通过设计消除外部偏斜，那么内部偏斜就可能成为主要的偏斜源。应当注意，在实际应用中，一定量的时序偏斜是不可避免的，设计人员必须确定特定应用的最大容许时序偏斜，然后据此进行设计。

另一类时序误差，即时序偏移，在 AD9520/AD9522 的内部和外部零延迟架构中具有不同的表现。对于内部架构，需要考虑两点（见图 6）。第一，输出驱动器位于 PLL 反馈路径外部，因此其传播延迟表现为相对于 REF 信号的时序偏移。对于 AD9520 LVPECL 驱动器，该偏移量约为 100 ps，AD9522 LVDS 驱动器约为 1400 ps，AD9520/AD9522 CMOS 驱动器约为 1900 ps。第二点考虑涉及到 REF 与反馈驱动器路径之间的固有延迟不匹配，原因是 N 分频器与 R 分频器存在根本上的区别，导致延迟不匹配。此外，REF 路径包括一个时钟接收器级，因此 REF 路径的延迟比反馈路径多出大约 900 ps（假设可变延迟单元被旁路或具有相同的延迟值），这意味着 LVPECL、LVDS 和 CMOS 输出的总不可调整偏移分别为 1000 ps、2300 ps 和 2800 ps。

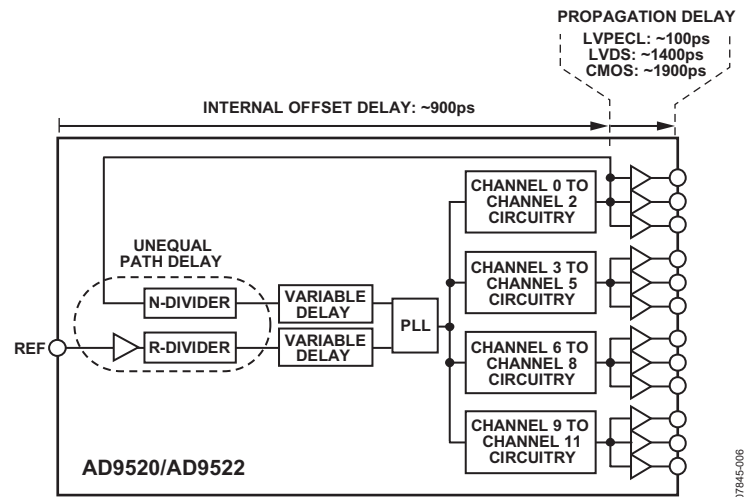


图 6. AD9520/AD9522 内部零延迟时序偏移误差

通过旁路 REF 路径中的可变延迟单元，并且使能反馈路径中的可变延迟单元，可以减小该固有偏移。反馈路径中的可变延迟单元提供 1100 ps 的调整范围，因此全部 1000 ps 的固有偏移（使用 LVPECL 输出时）都能得以消除。然而，当使用 LVDS 或 CMOS 输出时，偏移仅可减小到大约 1200 ps 或 1700 ps（固有偏移超出最大调整范围的量）。任何情况下，设计人员必须确保残余时序偏移不超过特定应用的最大容许限值。

图 7 和图 8 所示为使用内部零延迟架构的实际时域测量结果。这些图证明，使用 AD9520 LVPECL 输出时，时序偏移几乎被完全消除。测量使用匹配的探针进行，探针直接连接到器件的 REF 输入和 OUT<sub>1</sub> 引脚。

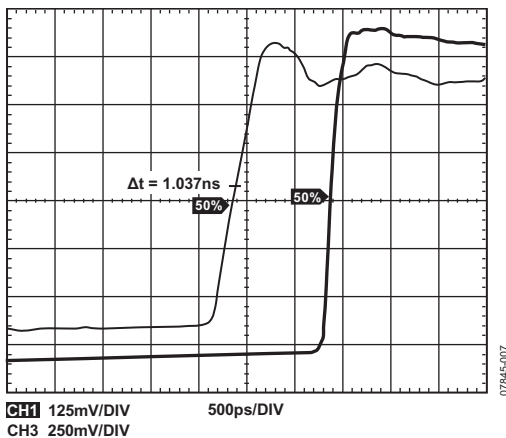


图 7. 内部零延迟固有偏移时序误差 (AD9520)

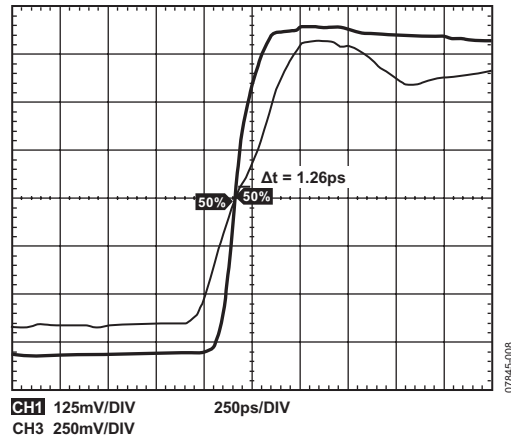


图 8. 内部零延迟调整后的偏移时序 (AD9520)

使用外部零延迟架构时，驱动器（及任何外部缓冲器）包括在 PLL 的反馈路径中，因此输出驱动器的传播延迟对偏移时序误差无影响（见图 9）。PLL 能够有效吸收 OUT<sub>0</sub> 缓冲器（任选）的传播延迟和经过外部电路的延迟。然而，像内部零延迟架构一样，REF 与反馈驱动器路径之间仍然存在固有的延迟不匹配，此外，对于外部架构，外部时钟输入需要一个时钟接收器（显示于 N 分频器的输入端）。整体偏移延迟为 600 ps，比内部架构少 300 ps，原因是外部时钟输入接收器具有额外的延迟。

由于固有偏移时序误差仅为 600 ps，因此可以将反馈路径的可变延迟设置得比 REF 路径的可变延迟大 600 ps，从而消除误差。当然，可变延迟单元的粒度为 120 ps，这意味着仍可能有最多 60 ps 的残余偏移。因此，设计人员必须确保最多 60 ps 的残余时序偏移不超过特定应用的最大容许限值。

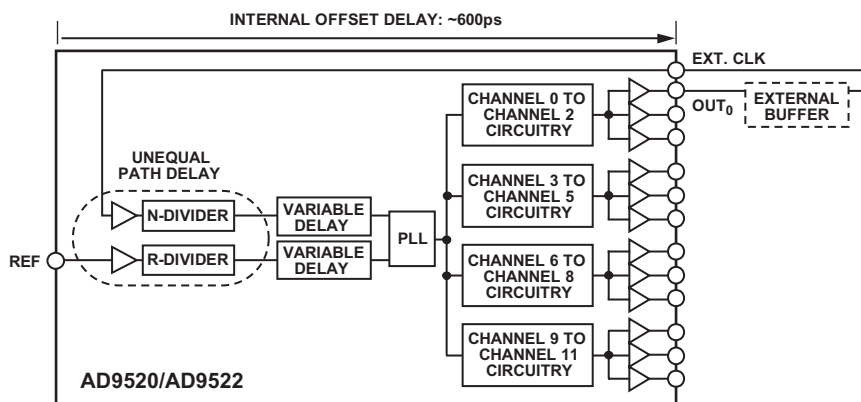


图 9. AD9520/AD9522 外部零延迟时序偏移误差

图 10 和图 11 所示为使用外部零延迟架构的实际时域测量结果，证明时序偏移误差几乎被完全消除。测量使用匹配的探针进行，探针直接连接到器件的 REF 输入和外部时钟引脚，OUT<sub>0</sub> 反馈到外部时钟输入（类似于图 9）。

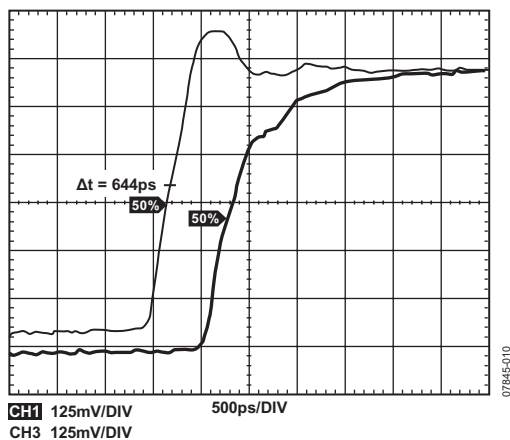


图 10. 外部零延迟固有偏移时序误差 (AD9520)

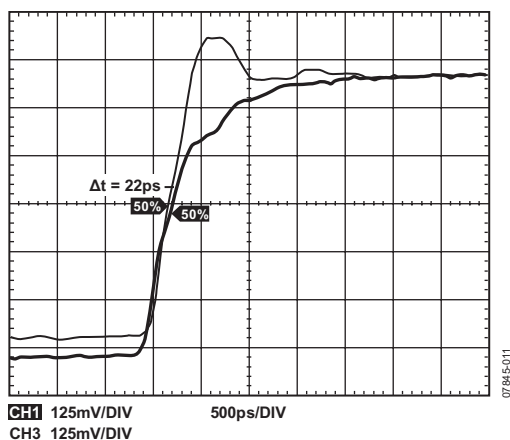


图 11. 外部零延迟调整后的偏移时序 (AD9520)

## 涉及外部零延迟的考虑

在要求外部零延迟架构的应用中，务必避免引入过大的外部延迟以及将无用信号耦合到 PLL 反馈路径。外部延迟可能导致 PLL 环路不稳定，进入 PLL 反馈路径的无用信号则可能破坏输出时钟信号。

注意，外部信号路径中出现的任何延迟都会成为 PLL 反馈环路的一部分。如果 PLL 环路带宽太宽，外部路径的额外延迟可能会使环路不稳定。用户应选择外部环路滤波器，使得环路带宽能够支持额外的延迟，同时仍能确保环路稳定。

外部零延迟架构的 PLL 反馈路径中包括外部电路，意外进入反馈路径的无用信号可能会带来严重问题，原因是进入 PLL 反馈路径的任何信号都会被 PLL 放大。因此，即使非常小的信号，也可能变大到输出端无法接受的程度。适当的印刷电路板布局和屏蔽技术是防止无用信号侵入的最佳防护手段。

注释