

IC 上电和关断

现代集成电路采用精密复杂的电路来确保其开启后进入已知状态，保留存储器内容，快速引导，并且在关断时节省功耗。本文分两部分，提供有关使用上电复位和关断功能的一些建议。

上电复位

作者：Miguel Usach Merino

简介

许多 IC 都包含上电复位(POR)电路，其作用是保证在施加电源后，模拟和数字模块初始化至已知状态。基本 POR 功能会产生一个内部复位脉冲以避免“竞争”现象，并使器件保持静态，直至电源电压达到一个能保证正常工作的阈值。注意，此阈值电压不同于数据手册中给出的最小电源电压。一旦电源电压达到阈值电压，POR 电路就会释放内部复位信号，状态机开始初始化器件。在初始化完成之前，器件应当忽略外部信号，包括传输的数据。唯一例外是复位引脚（如有），它会利用 POR 信号内部选通。POR 电路可以表示为窗口比较器，如图 1 所示。比较器电平 V_{T2} 在电路设计期间定义，取决于器件的工作电压和制程尺寸。

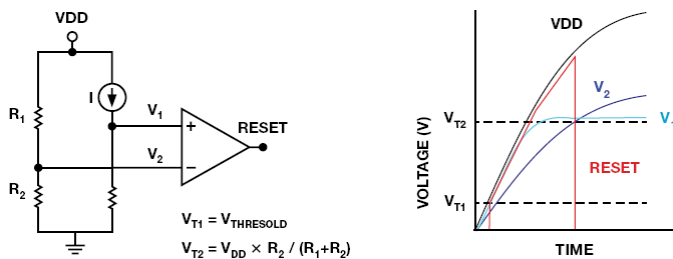


图1. 简化的 POR 电路

POR 策略

比较器窗口通常由数字电源电平定义。数字模块控制模拟模块，数字模块全面工作所需的电压与模拟模块工作所需的最小电压相似，如图 2 所示。

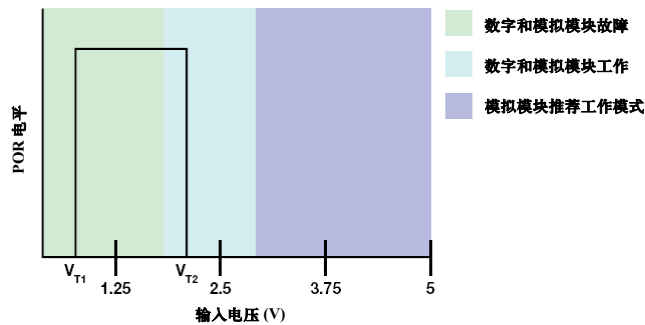


图2. POR 阈值电压

较高的 V_{T2} 阈值对模拟模块会更好，但若过于接近推荐最小电源电压，当电压略微降低时，可能会意外触发复位。如果器件包括独立的模拟电源和数字电源，则避免故障的一种策略是增加一个 POR 电路，使两个模块保持复位状态，直至电源电压高到足以确保电路正常工作。例如，在一种 3 V IC 工艺中， $V_{T1} \approx 0.8 \text{ V}$ ， $V_{T2} \approx 1.6 \text{ V}$ 。

这些电压会随着制程以及其他设计偏移而变化，但它们是合理的近似值。阈值容差可以是 20%或更大，某些旧式设计的容差高达 40%。高容差与功耗相关。POR 必须一直使能，因此精度与功耗之间始终存在的取舍关系很重要；较高的精度会提高电路在待机模式下的功耗，而对功能性并无实际意义。

掉电检测器

POR 电路有时会集成一个掉电检测器(BOD)，用于防止电路在电压非常短暂地意外降低时发生复位，从而避免故障。实际上，掉电电路给 POR 模块所定义的阈值电压增加了迟滞，通常为 300 mV 左右。BOD 保证，当电源电压降至 V_{T2} 以下时，POR 不会产生复位脉冲，除非电源电压降至另一阈值 V_{BOD} 以下，如图 3 所示。

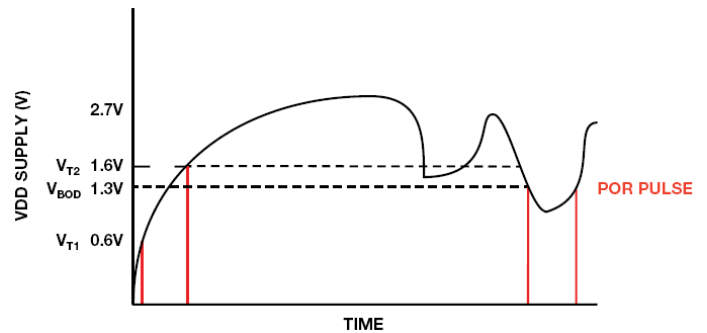


图3. 掉电检测器

掉电阈值电平足以保证数字电路保留信息，但不足以保证其正常工作。这样，控制器可以在电源降至某一电平以下时中止活动而不会让整个器件都重新初始化，如果电源电平只是非常短暂地降低的话。

器件正确上电

实际的 POR 电路比图 1 所示的简化版本要复杂得多，例如用 MOS 晶体管代替电阻。因此，必须考虑寄生模型。另外，POR 电路需要一个启动模块来产生启动脉冲，这在某些情况下可能会失效。其他重要考虑在以下内容中说明。

必须使用单调性电源，因为若使用非单调性电源，当偏差接近任何阈值电平时，非单调性斜坡可能会引起问题。较高的阈值偏差会引起同样的非单调性序列对某一个元件有效，而对其他元件无效，如图 4 所示。

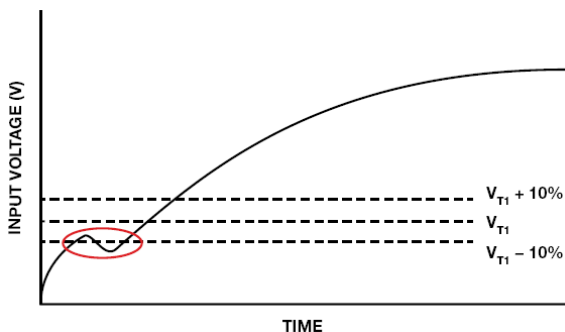


图 4. 非单调性电源斜坡

某些时候，即使断开电源（禁用 LDO），储能电容也会保留一定的残余电压，如图 5 所示。此电压应尽可能小，以便保证电源能降至 V_{T1} 以下，否则 POR 将无法正确复位，器件将无法正确初始化。

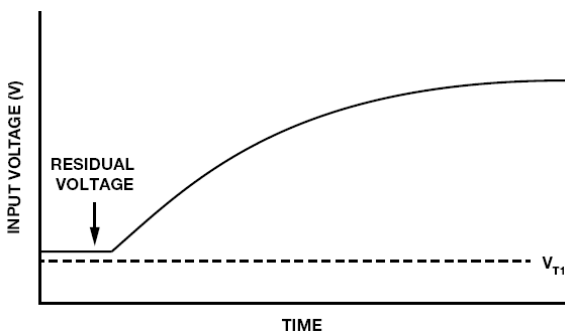


图 5. 残余电压

某些数据手册给出了应当应用于具有一个以上电源引脚的器件的推荐供电序列。遵守这个序列是很重要的。例如，想想一个具有两个独立电源的器件。推荐供电序列要求数字电源先于模拟电源供电（这是常规，因为数字模块控制模拟模块，所以必须首先为数字模块供电），该模块必须首先初始化。哪个电源首先开始上

升不重要，但数字电源必须先于模拟电源跨过阈值，如图 6 所示。如果电源之间的延迟为 $100 \mu\text{s}$ 左右，则影响应当很小，器件应能正确初始化。

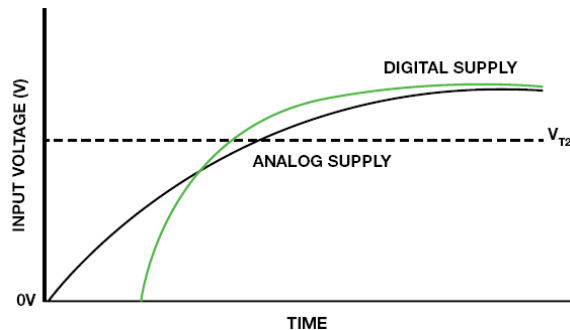


图 6. 推荐供电序列

由于内部三极管寄生效应，数百 ms 的慢速电源斜坡可能会引起问题。POR 电路要在各种压摆率下进行评估，以保证其在正常电源条件下能正确工作。数据手册会说明是否需要快速电源斜坡 ($100 \mu\text{s}$ 或更短)。

例如，对于用细电缆连接电源的电路板，不良的接地连接会具有高阻抗，它可能会在上电期间产生毛刺。另外，在某些电磁环境(EME)下，MOS 晶体管的寄生栅极电容可能会充电，导致晶体管不能正常工作，除非让该电容放电。这可能引起 POR 初始化失败。

漂移和容差也需要考虑。某些情况下，电容等分立元件具有高容差（高达 40%）和高漂移（随温度、电压和时间的漂移）。此外，阈值电压具有负温度系数。例如， V_{T1} 在室温下为 0.8 V ，在 -40°C 下为 0.9 V ，在 $+105^\circ\text{C}$ 为 0.7 V 。

结论

本文讨论了电路板上电时可能引发系统问题的一些常见问题，并说明了保证电路板正确初始化的基本原则。电源常常被忽视，但其最终电压精度和过渡行为均很重要。

参考文献

“深入了解 digiPOT 规格与架构，提升交流性能。” *模拟对话*，第 45 卷第 3 期

断电还是关断？

作者：Dushyant Juneja

“当然是关断！”对这个问题感到吃惊的人会大声说道。其他人可能会寻思二者有何差异。关断模式常常会保留存储器内容，启

动时间更短，漏电流超低，而如果切断电源，这一切都不复存在。但是，假如不需要这些特性呢？设计人员会让电源保持稳定并使用关断模式而浪费电源吗？为何不能简单地通过切断电源来降低漏电流？关断模式是否存在一些基本的深层次的要求？感到迷惑不解？请看下文。

诱惑与风险

现代系统包含丰富的特性，这是通过多层次的复杂设计实现的，常常涉及到不止一个芯片。功耗是很多应用都关心的，诸如便携式医疗设备，因此这些芯片常常包含一种或多种关断模式。这些模式提供存储器内容保留、外设使用和快速开启等特性，而消耗的电电流非常少。另一种方法是完全关断电源。这会完全切断芯片的电源，不允许任何电流进入电源引脚。虽然能够降低功耗，但这种方法存在一些严重的副作用。

考虑一个包括多个芯片的复杂系统，这些芯片通过多路复用总线相连。如果该系统设计用于功耗受限的应用，简单地切断未使用的芯片电源似乎有利可图，尤其是在不需要关断模式提供的其他特性的时候。切断电源可降低漏电流，但没有电源时，引脚对输入信号可能起到低阻抗节点的作用，导致不可预测的操作和潜在的系统级威胁。虽然断电选项可能很诱人，但关断模式对复杂系统有着根本上的好处：它使各芯片处于已知的、希望的状态，即使芯片在低功耗与高性能模式之间循环，也能维持安全可靠的操作。详细情况可通过考察一个 I/O 节点来了解。

简单示例

图 7 中的引脚连接到一个复用节点，其操作由一个经验证的系统架构设定。作为 I/O 引脚，它同时拥有输入和输出功能。

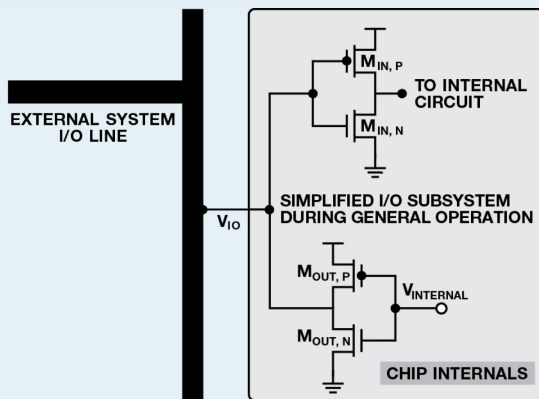


图 7. 简化的 I/O 电路

不考虑功率开关所用器件的问题，断开此芯片的电源（假设不需要任何芯片操作）将导致图 8 所示的情况，芯片内核到处都是未知状态。在最坏情况下，浮置栅极输出器件 ($M_{OUT,p}$ 和 $M_{OUT,n}$) 可能会在休眠时暴露于意想不到的外部电压下。对于本例所示的 CMOS I/O，这可能产生一个经由 NMOS 漏极连接的接地低阻抗连接（红色亮显）。高电流将导致前一级的驱动能力透支，从而损害芯片中的 MOS 电路，甚至芯片本身。即使未损害系统，其性能也会降低。

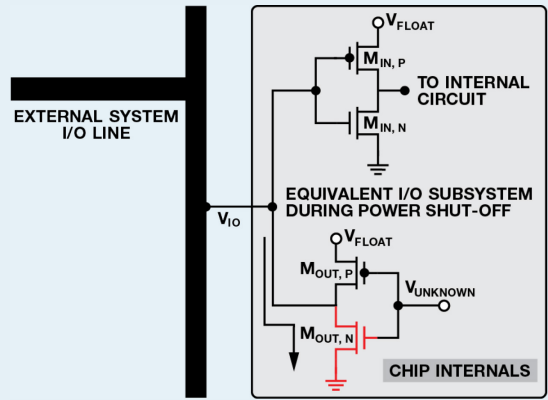


图 8. 断电模式下的 I/O 电路。注意内部栅极处于未知状态。

关断模式

关断模式为芯片提供额外的一重保护，可防范上述意外工作状态。实现方式会因不同的模式、产品系列和供应商而异，但重点是在芯片内核休眠时提供安全的 I/O 边界，维持已知的、可信赖的低功耗状态。好处是系统器件之间的 I/O 操作（例如通过系统级多路复用总线）不会威胁到休眠中的器件。一个实现方案是在低功耗模式下将 I/O 引脚置于高阻态，使连接到边界引脚的内部节点处于已精确定义的状态。图 9 显示了一个简化的实现方案。信号对内部电路无影响，从根本上保证其安全。其他实现方案（例如浅休眠模式）也可以让 I/O 外设保持上电，同时确保在关断模式期间芯片外设与内核之间的操作得到验证。这使得芯片在保持低功耗的同时，能够处理激活状态下的使用情形。此外，该系统降低了功率开关的成本；如若不然，将需要使用一个很大的低电阻器件，其漏电流和导通状态功耗均会相当大。

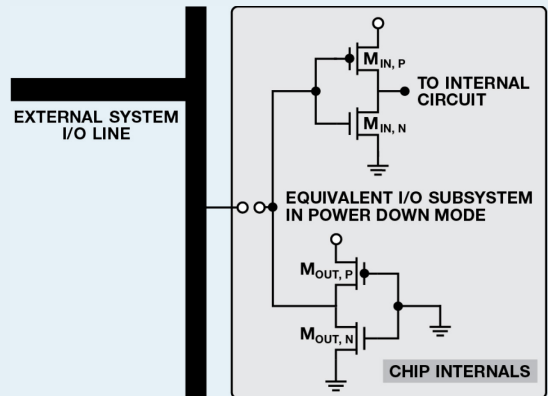


图 9. 关断模式下的 I/O 电路。注意所有内部节点都已精确定义。

关断模式因芯片和供应商而异，因此，“浅休眠模式”之类名称的含义并不总是相同。有些支持保留存储器内容，有些则提供更多的中断数或其他类似特性。与完全断电相比，这些模式的一个突出优势是可以缩短系统响应时间。有些电路提供单独的 I/O 电源和内核电源。这种分离的一个优点是，电路板设计人员可以切断内核电源以降低漏电流，而 I/O 则保持上电。强烈建议一定要从产品数据手册获得准确的详细信息，确保所需的特性和保护方法受到产品的支持。

尺寸不断缩小的影响

作为器件尺寸缩小的自然后果，现代 IC 工艺技术提供更高密度的封装，使得关断模式的优化使用越来越重要。不过，这也降低了器件的压力处理能力。例如，28nm 器件的栅极氧化物就比相应的 180nm 器件要薄。这样，断电模式下栅极电压所施加的压力更有可能损坏较小的器件。此外，布局相关的参数也可能导致尺寸较小的器件发生灾难性故障。

所有这些影响使得关断模式对现代器件越来越有吸引力。现代芯片充盈着各种特性，包括成百上千万的元件；如果保持开启，每个器件都可能产生漏电流。优化特性使用并关断芯片中不使用的部分，可以消除其中的大部分漏电流。然而用户应该确保供应商明确支持这些模式，而不要试图自行开发关断功能。

更多情形

关于关断的完整拼图还缺几片。如果同时切断接地连接（这将形成另一条低阻抗路径）会怎样？这与直接驱动 I/O 引脚而不使电源的 ESD 情况相似，如果信号足够强，可能会触发 ESD 保护结构，导致高电流流经其他相连的 I/O 引脚，产生假上电情况。更有可能的情况是信号稍弱一点，但仍然强到足以通过一条路径（如 I/O 箝位）抵达电源。信号可能无法触发电源箝位，但会在电源上引起意想不到的虚电压，从而造成未知工作状态，具体情形取决于芯片的拓扑结构。任一情况下，如果电路状态持续如此，则芯片可能受损，除非前一级已经停止供应高电流。如果信号强度不足以触发 I/O 箝位，它仍可能会对所遇到的第一个晶体管施压，长时间操作后可能会损坏该晶体管。

如果断开电源并拉低电源输入呢？这种情况下，芯片无浮动电源，不可能触发任何 ESD 结构，但 PMOS 漏极电压可能高于主体电压，使漏极-主体二极管正偏。这样，来自前一级的电流将经过 PMOS 器件流至地，直至器件烧毁、前一级停止提供电流或设计人员注意到报警。

结论

关断模式使得系统级响应更快速、更安全，因而是不可缺少的特性，尤其是在考察复杂系统中的完整信号链时。如果器件之间的交互很有限，或者系统整体很简单，足以确保不会出现复杂情况，则可以考虑完全切断电源。



Miguel Usach Merino [miguel.usach@analog.com]，获瓦伦西亚大学电子工程学位。2008 年加入 ADI 公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其它文章：
[深入了解 digiPOT 规格与架构，提升交流性能](#)
第 45 卷，第 3 期

Dushyant Juneja [dushyant.juneja@analog.com]是 ADI 公司的一名 CAD 工程师，主要从事 AMS 设计的 AMS 验证、行为建模和 ESD 保护。2012 年获印度理工学院卡拉普尔分校仪器工程硕士学位，2010 年获印度理工学院(BHU)电气工程学士学位。



Dushyant Juneja