

ADC架构I: Flash转换器

作者: Walt Kester

简介

早在上世纪60、70年代, 商用flash转换器就开始出现在仪器仪表和模块中, 并在80年代期间快速进军集成电路。单芯片8位flash ADC成为上世纪80年代数字视频应用的行业标准。如今, flash转换器主要用作分级“流水线式”ADC中的构建模块。流水线架构的功耗和成本更低, 并且能够以数百MHz的采样速率实现8至10位分辨率。因此, 功耗较高的独立flash转换器主要用于采样速率超过1 GHz的6位或8位ADC。这些转换器通常采用砷化镓工艺设计。

鉴于其作为高分辨率流水线ADC中构建模式的重要性, 还需要了解基础flash转换的基本原理。本教程首先概括讨论作为flash转换器基本构建模块的比较器。

比较器: 1位ADC

转换开关是1位DAC, 而比较器是1位ADC(见图1)。如果输入超过阈值, 输出即会具有一个逻辑值, 而输入低于阈值时输出又会有另一个值。此外, 所有ADC架构都会使用至少一个某种类型的比较器。

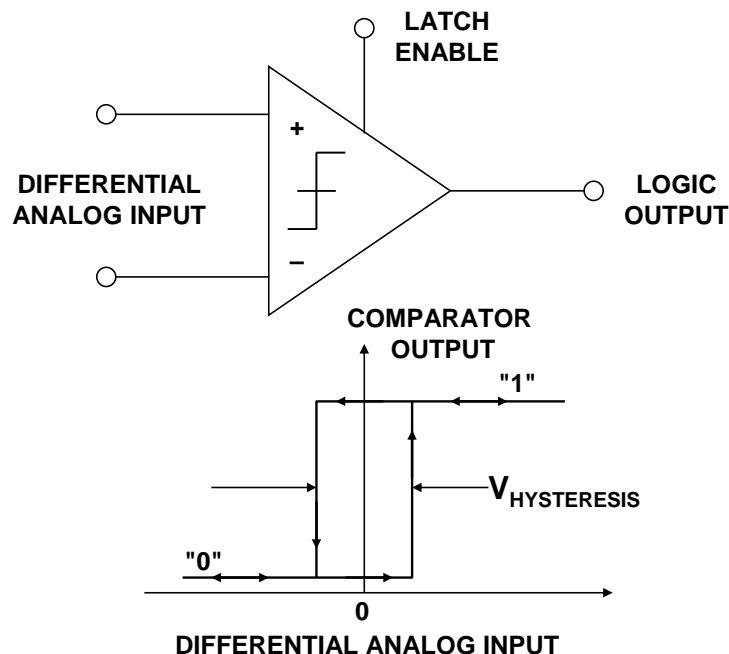


图1: 比较器: 1位ADC

最常见的比较器与运算放大器存在一些相似之处，如使用差分晶体管对或FET作为其输入级，但与运算放大器不同的是，比较器并不使用外部负反馈，且其输出为指示两个输入中哪个电位较高的逻辑电平。运算放大器并非设计用作比较器；一旦过驱，运算放大器可能发生饱和，并恢复速度缓慢。

在与大差分电压搭配使用时，许多运算放大器的输入级都会出现异常行为，并且其输出很少与标准逻辑电平相兼容。不过，有些情况可能需要以运算放大器作为比较器，参考文献1对此主题进行了较好的探讨。

充当ADC构建模块的比较器需要较高的分辨率，这就意味着较高的增益。当差分输入接近零时，这可能导致不受控制的振荡。为了避免发生这种情况，通常需要利用少量正反馈向比较器添加“迟滞”。

图1所示为迟滞对整个传递函数的影响。许多比较器拥有1或2毫伏的迟滞，以鼓励跳动振动作，并防止局部反馈在过渡带导致不稳定。请注意，比较器的分辨率不能低于迟滞，因此较大的迟滞值一般并无用处。

早期的比较器利用真空管设计而成，一般用于无线电接收器中——当时被称为“鉴频器”而不是比较器。ADC中用到的多数现代比较器内置一个锁存器，使其可以在数据转换器中用作采样器件。图2所示为Advanced Micro Devices, Inc.于1972年推出的AM685 ECL(发射极耦合逻辑)锁存比较器的典型结构(参见参考文献2)。

输入级前置放大器驱动一个交叉耦合锁存器。当锁存器被激活时，锁存器将输出锁定于其此时所处的逻辑状态。因而，锁存器执行的是保持功能，使短输入信号可检测到并保留供进一步处理。由于锁存器直接运行于输入级上，所以信号不会被进一步延迟——可以捕获并保留仅宽几纳秒的信号。与无锁存比较器相比，锁存比较器对局部反馈导致的不稳定性的敏感度不高。

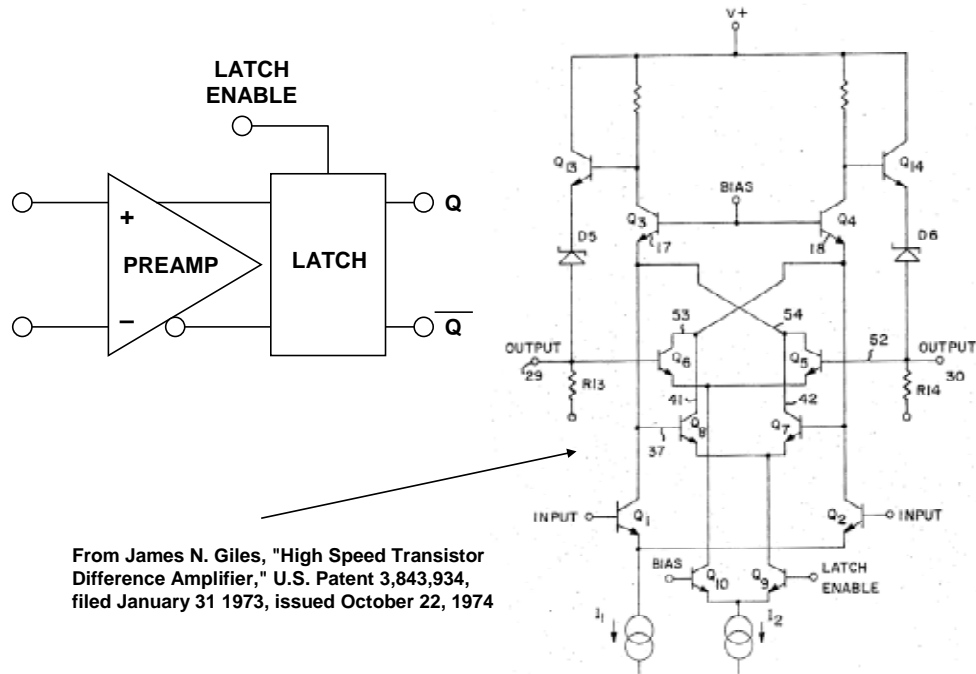


图2: AM685 ECL比较器(1972)

当比较器内置于IC ADC时，其设计必须考虑分辨率、速度、过载恢复、功耗、失调电压、偏置电流和所选架构占用的芯片面积。比较器另有一种虽然微妙却令人讨厌的特性，如果不了解且未有效地处理，则可能在ADC中导致较大的误差。这种误差因素是：当比较器把较小的差分输入分辨至有效输出逻辑电平中时，偶尔存在的不稳定性。这种现象称为“亚稳态”——指比较器在阈值下、在短时间内保持平衡的能力。

亚稳态问题如图3所示。其中展示了三种差分输入电压条件：(1) 大差分输入电压；(2) 小差分输入电压；(3) 零差分输入电压。用来描述输出电压 $V_O(t)$ 的近似等式为：

$$V_O(t) = \Delta V_{IN} A e^{-t/\tau}, \quad \text{等式1}$$

其中， ΔV_{IN} = 锁存时的差分输入电压；A = 前置放大器在锁存时的增益； τ = 锁存的再生时间常数；t = 自比较器输出锁存后已过的时间（参见参考文献3、4）。

对于小差分输入电压，输出达到有效逻辑电平需要的时间较长。如果在输出数据位于“有效逻辑1”与“有效逻辑0”之间的区域时被读取，则数据可能是错误的。如果差分输入电压刚好为零，且比较器在锁存时完全平衡，则达到有效逻辑电平所需时间可能非常长（理论上为无限长）。然而，在输入端上的迟滞和噪声作用下，这种条件很难出现。根据比较器在实际ADC中的利用方式，比较器无效逻辑电平产生的效应有所不同。

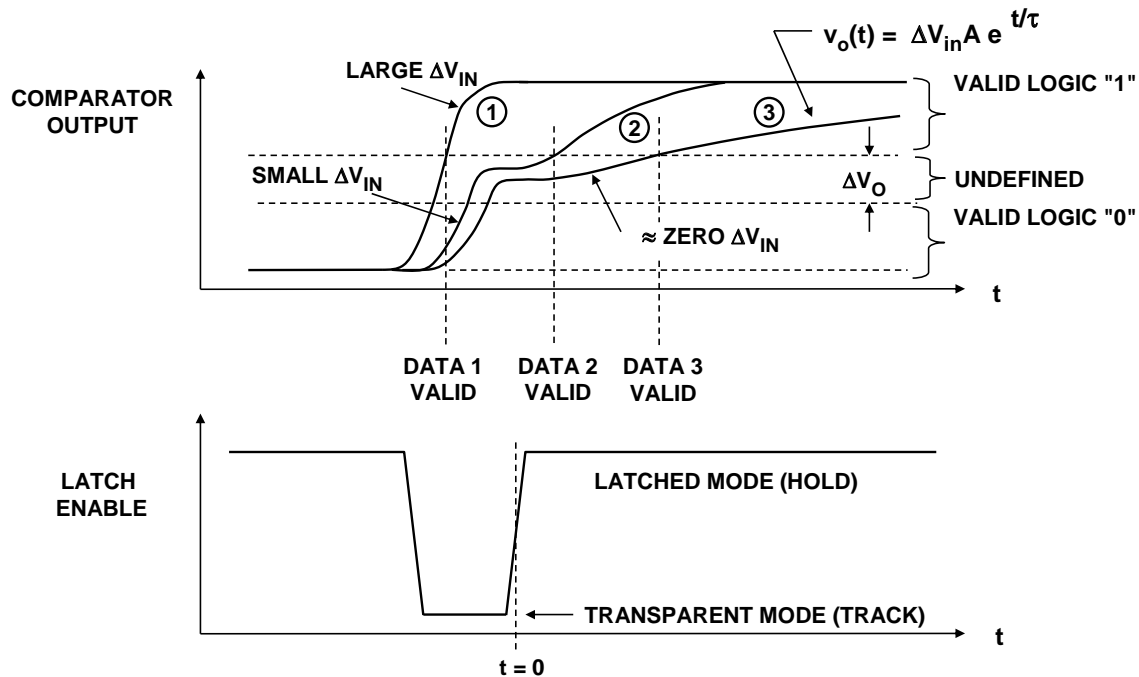


图3：比较器亚稳态误差

从设计角度来看，可以通过以下方式降低比较器亚稳态：提高增益(A)，增加锁存的增益带宽以减小再生时间常数(τ)，并为比较器输出达到有效逻辑电平给出充足的时间(t)。分析速度、功率和电路复杂性之间复杂的权衡关系以优化比较器设计不在本文讨论范围之内，不过参考文献3、4对该问题进行了较好的探讨。

从用户角度来看，比较器亚稳态的影响（如果会影响ADC的性能的话）体现在“误码率” (BER)——通常大多数ADC数据手册中并未标明该值。最终误差通常称为“闪码”、“跳码”或“飞码”。

在大多数应用中，设计得当的ADC并不存在误码率问题，但系统设计师必须知道，这种现象是可能存在的。在数字示波器中利用ADC来检测小幅单发随机事件时，可能存在这种问题。如果误码率不够小，ADC可能给出错误的信息。欲了解闪码的更多讨论，请参见[教程 MT-011](#)”。

Flash转换器

Flash ADC（有时称为“并行”ADC）是速度最快的ADC，其中使用数个比较器。一个N位flash ADC包括 2^N 个电阻和 $2^N - 1$ 个比较器，具体排列方式如图4所示。每个比较器均从电阻串获得基准电压，且每个基准电压要比链中的下一个基准电压大1 LSB。对于给定输入电压，低于某个点的所有比较器都将出现输入电压高于基准电压且逻辑输出为“1”，而高于该点的所有比较器则都将出现基准电压高于输入电压且逻辑输出为“0”。因此， $2^N - 1$ 个比较器输出在行为上类似于水银温度计，而该点的输出码有时称为“温度计”码。由于 $2^N - 1$ 个数据输出并不便于实际应用，因此需要经过解码器处理来产生N位二进制输出。

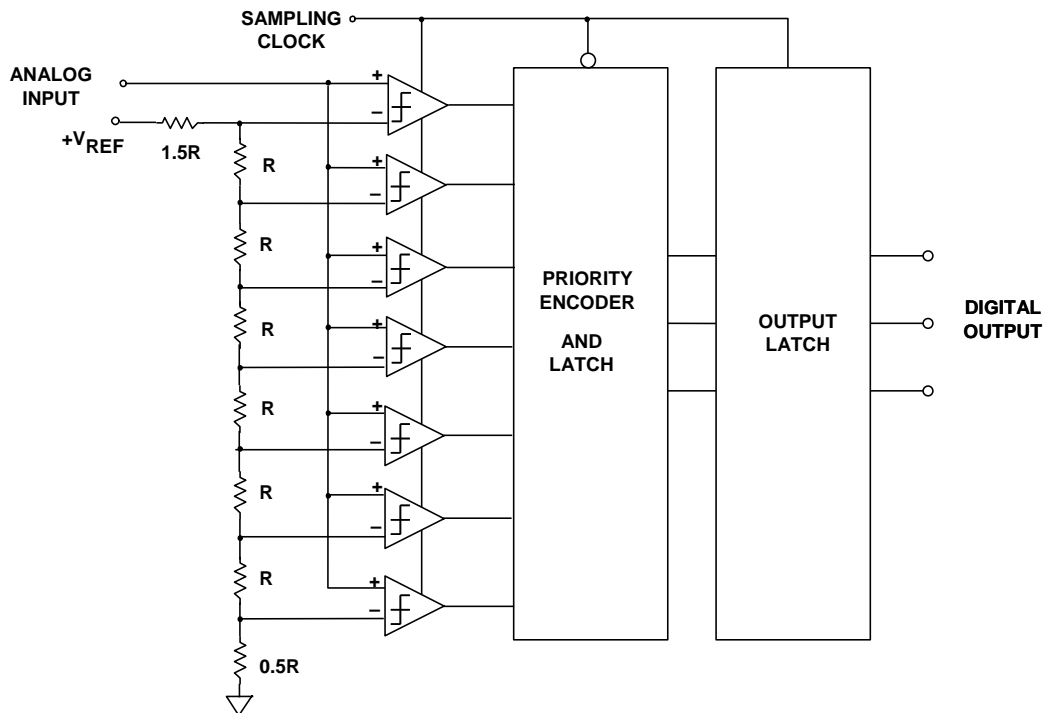


图4: 3位全并行(Flash)转换器

由于输入信号同时施加于所有比较器，因此温度计输出与输入之间仅存在一个比较器延迟，而编码器N位输出仅存在数个门延迟，故而该过程非常迅速。此外，各个比较器固有“采样保持”功能，因此理论上，只要比较器完全动态匹配，flash转换器就无需单独的SHA。不过实际操作中，由于比较器之间不可避免地存在细微时序不匹配，因此大多数flash转换器通常都需要添加合适的外部采样保持电路来改善动态性能。

由于flash转换器采用了大量电阻和比较器且限制在低分辨率，因此如果达到较高速度，每个比较器就必须以相对较高的功耗水平运行。因此，flash ADC的问题包括分辨率有限、因使用大量高速比较器(尤其是采样速率超过50 MSPS时)而导致功耗较高和相对较大(因此成本较高)的芯片尺寸。此外，基准电阻链的电阻必须保持在较低水平，以便向快速比较器提供足够的偏置电流，因此基准电压源必须提供较大的源电流(通常大于10 mA)。

典型的Flash转换器时序

图5所示为早期商用flash转换器(8位、35 MSPS [AD9048](#))的简化时序图。采样时钟处于低电平状态时，输入比较器处于“跟踪”或“透明”模式。采样时钟的上升沿将比较器置于“保持”或“锁存”模式。“保持”时间期间，解码逻辑根据比较器输出做出决策。采样时钟的下降沿将解码数据锁存至中间锁存器。采样时钟的下一个上升沿将解码数据传输至输出锁存器。注意，这就在输出数据上产生相对于对应采样时钟沿的一个“流水线延迟”周期。中间锁存器允许使用更为复杂的两级解码方法。例如，比较器输出数据首先解码成格雷码并在采样时钟的下降沿锁存，然后在“跟踪”时间间隔内转换成二进制。两级解码通常用于最大程度地减少因错误地解读比较器输出而导致的“闪码”。(有关闪码和亚稳态误差的详细讨论，请参见“教程[MT-011](#)”。)有些flash转换器使用的是更为复杂的解码方法，因此流水线延迟超过一个时钟周期。

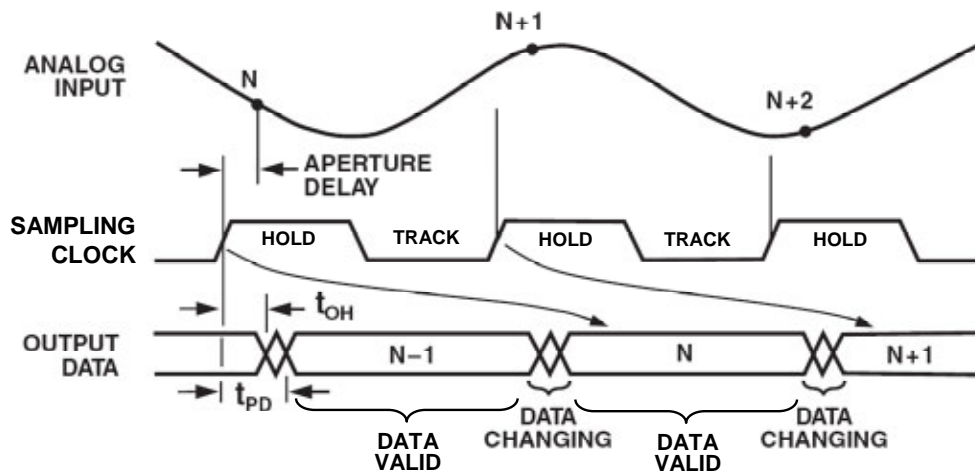


图5: 典型Flash转换器 (8位、35 MSPS AD9048) 的数据时序

如果使用的是简单的优先级解码方法，则无需输出锁存和中间锁存，即可直接从解码逻辑的输出端获取二进制数据。不过，如果是这种情况，则“跟踪”时间间隔内输出数据会不断变化，因此“DATA VALID”时间间隔限制为采样时钟周期的一半。因此，习惯做法是至少使用一个锁存器，以便输出数据可以在除少量“DATA CHANGING”时间之外的整个采样周期内保持不变，如图5所示。

Flash转换器历史展望

最早有记录的flash转换器是Paul M. Rainey研发的电子机械PCM传真系统，该系统曾出现在1921年一项未引起重视的专利中(参考文献5)。在ADC中，与光线强度成比例的电流驱动电流计，而后者又移动另一光束来激活32个光电管之一，具体取决于电流计偏转程度。每个光电管输出激活部分继电器网络，从而产生5位二进制代码，如图6所示。

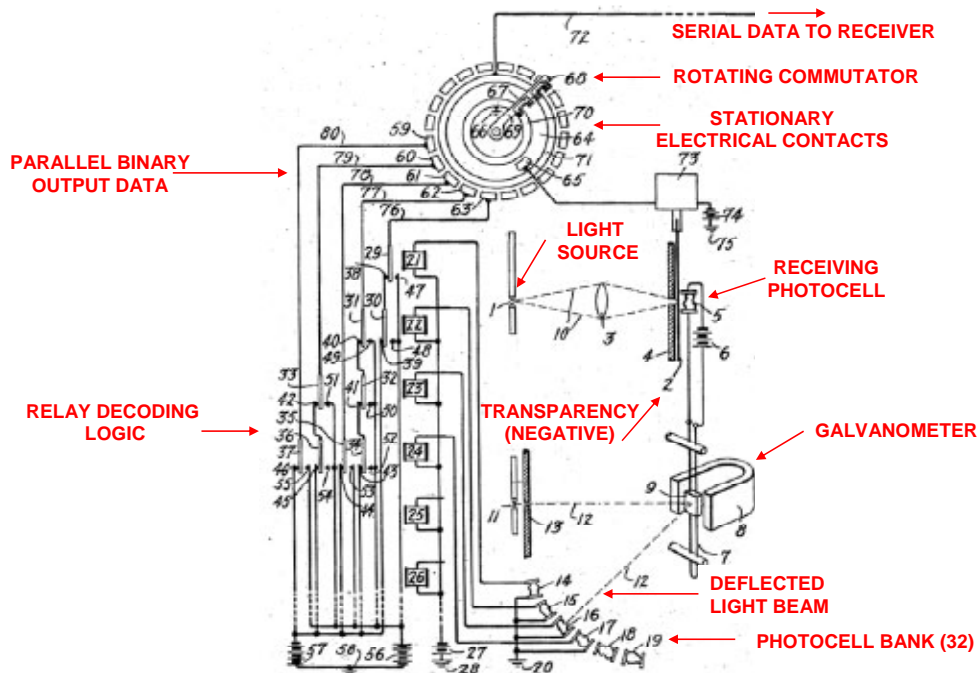


图6: Paul Rainey提出的5位Flash ADC, 改编自Paul M. Rainey“传真电报系统”, 美国专利1,608,527, 1921年7月20日申请, 1926年11月30日颁发

上世纪40年代期间，高速ADC技术取得了一项重大进展，那就是贝尔实验室研发出了电子束编码管，如图7所示。该电子管(R. W. Sears在参考文献6中描述的)能够以96 kSPS速率和7位分辨率进行采样。图6所示为4位器件的基本电子束编码器概念。该电子管采用“扇形”电子束来构建"flash"转换器，从而传送并行输出字。

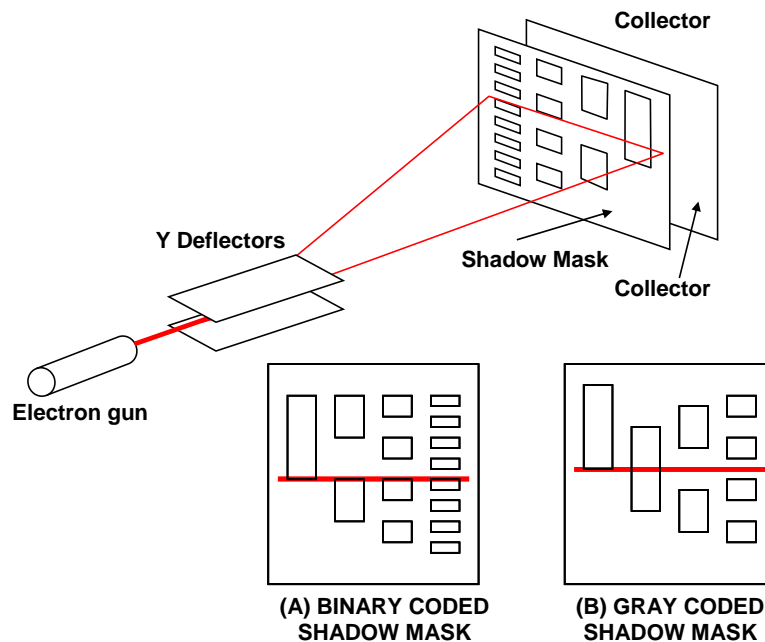


图7：贝尔实验室的电子束编码器(1948)

早期的电子管编码器采用二进制编码荫罩(图7A)，并且如果电子束跨越两个相邻码字并将其同时点亮，则可能会出现较大误差。之后通过采用格雷码荫罩消除了与二进制荫罩相关的误差，如图7B所示。此编码原先称为“反演二进制”码，最初由Elisha Gray于1878年发明，之后由Frank Gray于1949年重新发明(参见参考文献7)。采用格雷码时，相邻电平对应的格雷码字仅有一位之差。因此，如果针对特定电平的位判断有误差，则转换为二进制代码后的对应误差仅为1 LSB。对于中间电平，仅MSB改变。值得注意的是，基于比较器的现代Flash型转换器也可能由于比较器亚稳态而发生这一现象。在少量过驱情况下，如果采用标准二进制解码技术，则比较器的输出可能会在其锁存输出中产生错误的判断，从而出现同样的现象。许多情况下，格雷码或伪格雷码用来解码比较器库输出，然后最终转换成二进制代码输出。

尽管存在很多与电子束对齐相关的机械和电子问题，但是电子管编码技术在上世纪60年代中期达到了巅峰，研制出了采样速率可达12 MSPS的实验性9位编码器。(参考文献8)。不过，之后不久随着全固态ADC技术的迅速发展，电子管技术逐渐退出历史舞台。

人们很快就认识到，与其它架构相比，flash转换器的采样速率是最快的，但是这种方法的问题在于，由于采用分立晶体管电路和真空管，比较器电路本身相当庞大而且非常繁琐。

对于上述两种技术而言，构建单锁存比较器单元都是一件相当不容易的事情，而哪怕是要扩展至4位分辨率(需要15个比较器)都显得有些不切实际。然而，Robert Staffin和Robert D. Lohman在上世纪50年代中期和60年代初期完成了该项工作，在他们获得专利中描述了一种同时使用电子管和晶体管技术的分级架构(参考文献9)。该项专利讨论了全并行方法所存在的问题并指出了通过将转换过程拆分成粗略转换加精细转换所能实现的节省。

上世纪60年代的数种早期实验性flash转换器均采用隧道二极管作为比较器来代替仅基于电子管或晶体管的锁存比较器(参见参考文献10-13)。

1964年，Fairchild推出了首款IC比较器 μ A711/712，该器件由Bob Widlar负责设计。同年，Fairchild还推出了首款IC运算放大器 μ A709，Widlar的另一项设计产品。紧随其后推出的其它IC比较器包括Signetics 521、National LM361、Motorola MC1650 (1968)和AM685/687 (1972/1975)。随着这些构建模块比较器的推出和TTL和ECL逻辑IC的面市，Computer Labs, Inc.推出了6位机架安装分立flash转换器，包括VHS-630(6位、30 MSPS，1970年)和VHS-675(6位、75 MSPS，1975年)。图8所示的VHS-675采用了63个AM685 ECL比较器，比较器前面接高速采样保持ECL解码逻辑，并内置线性电源(交流线路供电)，总能耗为130 W(1975年售价约为\$10,000)。此类仪器应用于早期的高速数据采集应用，包括军用雷达接收机。



19" x 17" x 7"

VHS-630

- ◆ 6-Bits, 30 MSPS
- ◆ 32 dual MC1650 MECL III Comparators
- ◆ 100 watts (linear power supplies included)

VHS-675

- ◆ 6-Bits, 75 MSPS
- ◆ 64 AM685 Comparators
- ◆ 130 watts (linear power supplies included)

图8: Computer Labs, Inc.推出的VHS系列ADC: VHS-630 (1970)、VHS-675 (1975)

AM685比较器还用作4位100 MSPS电路板级flash ADC MOD-4100(975年推出)的构建模块, 如图9所示。

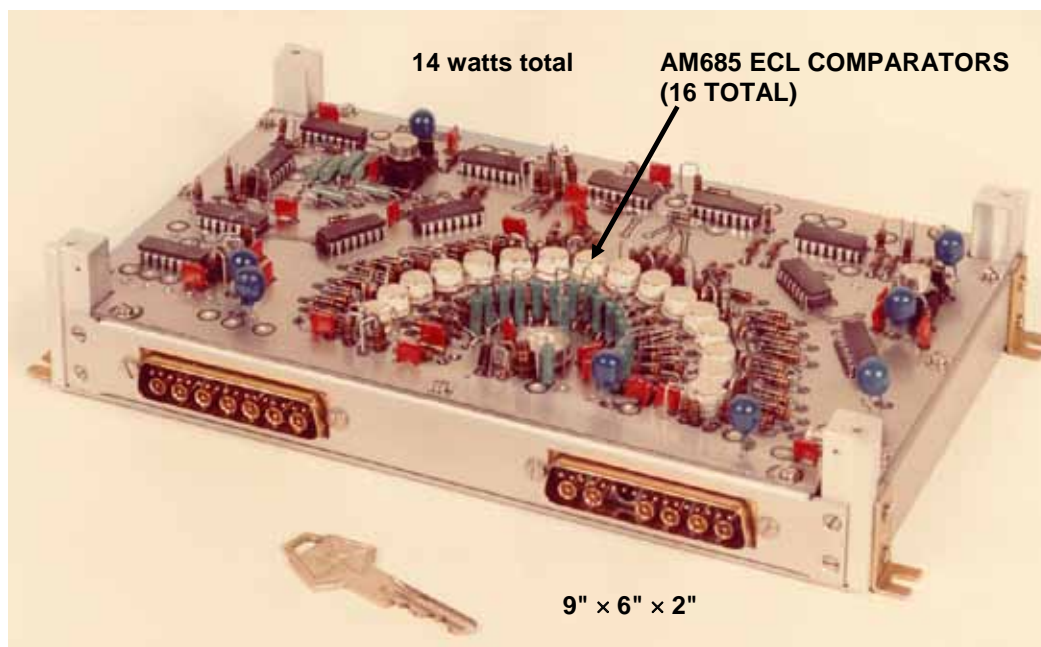


图9: Computer Labs于1975年推出的4位、100-MSPS Flash转换器

1979年, TRW LSI部门推出了首款集成电路8位视频速度30 MSPS flash转换器TDC1007J(参考文献14和15)。之后不久又推出了相同设计的6位版本, 即TDC1014J。同样在1979年, Advanced Micro Devices, Inc.推出了4位100 MSPS IC flash转换器AM6688。

单芯片flash转换器在上世纪80年代变得非常流行, 广泛应用于高速8位视频应用和较高分辨率分级卡片、模块和混合ADC的构建模块。来自ADI公司的器件示例包括AD9048(8位、35 MSPS)和AD9002(8位、150 MSPS)。许多flash转换器均采用CMOS工艺制造, 以降低能耗。不过, 最近分级流水线架构在速率高达约250 MSPS的8位ADC中日益受欢迎。例如, 8位250 MSPS ADC AD9480采用高速BiCMOS工艺制造, 耗能低于400mW, 而采用类似工艺的全flash实施耗能则为数瓦。

在实际操作中, IC flash转换器目前最高可达到10位, 但较为常见的分辨率是6或8位。而最大采样速率最高可达1 GHz(这类器件一般采用的是砷化镓且功耗为数瓦), 且全功率输入带宽超过300 MHz。

但正如上文所述, 全功率带宽并不一定就是全分辨率带宽。理想情况下, flash转换器中的比较器在直流和交流特性上完全匹配。

由于采样时钟同时施加于所有比较器，因此flash转换器本质上是采样转换器。在实际操作中，比较器之间存在延迟偏差及其它交流不匹配，这些在高输入频率时可导致有效位数(ENOB)减少。这是因为输入压摆率能与比较器转换时间相比为此，通常需要在flash转换器之前放置采样保持电路，从而在高频输入信号上实现高SFDR。

flash型ADC的输入以并行方式施加于多个比较器。每个比较器都具有可变电电压分结电容，而这种与信号相关的电容使得大多数flash型ADC在高输入频率下都具有较低ENOB和较高分辨率。为此，大多数flash转换器必须以宽带运算放大器来驱动，且后者需要能够耐受转换器的容性负载和输入端上产生的高速瞬变。

flash转换器中的比较器亚稳态会严重地影响误码率(BER)。图10所示为具有一级二进制解码逻辑的简单flash转换器。双输入与门将并行比较器的温度计编码输出转换成“独热”码。解码逻辑就是一个“线或”阵列，后者是发射极耦合逻辑(ECL)中常见的一项技术。假定标为“X”的比较器具有标为“X”的亚稳态输出。所需输出码应为011或100，但请注意，受亚稳态影响也可能出现000码(两个门输出均为高电平)和111码(两个门输出均为低电平)，表示 $\frac{1}{2}$ FS误差。

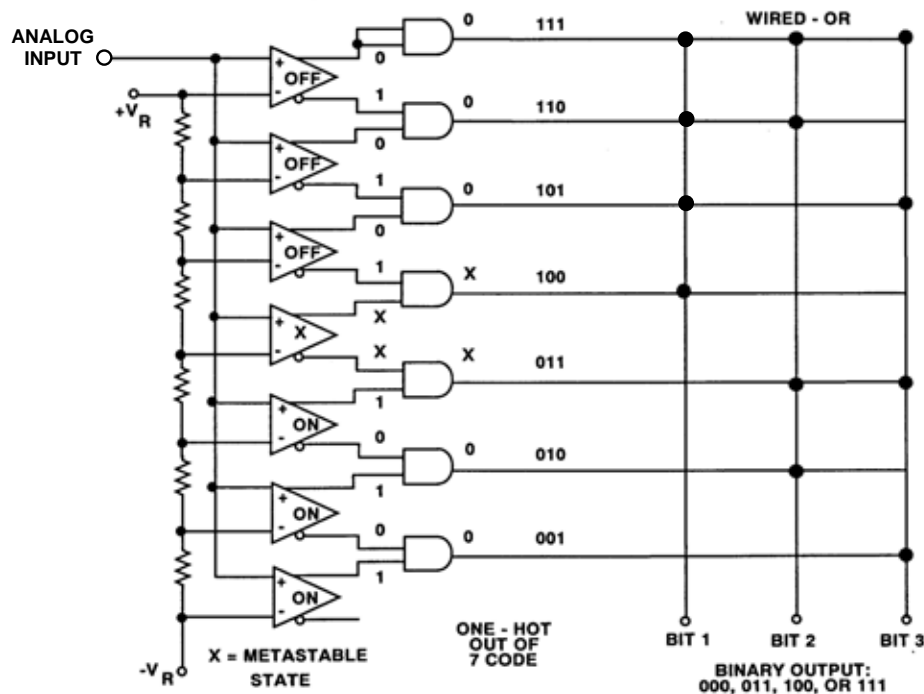


图10: 比较器输出亚稳态可能导致数据转换器中出现错误码

Metastable state errors in flash转换器中的亚稳态误差可以通过数项技术来消减，其中之一涉及到以格雷码对比较器输出进行解码，然后如前文所述的贝尔实验室电子束编码器中一样进行格雷码至二进制转换。格雷码解码的优势在于，任意比较器的亚稳态仅可在格雷码输出中产生1 LSB误差。锁存之后，格雷码接着转换成二进制码，而后的最大误差又仅为1 LSB，如图11所示。

多种现代IC flash转换器都采用了相同原则来最大程度地减少参考文献3、16和17等中所述的亚稳态误差效应。

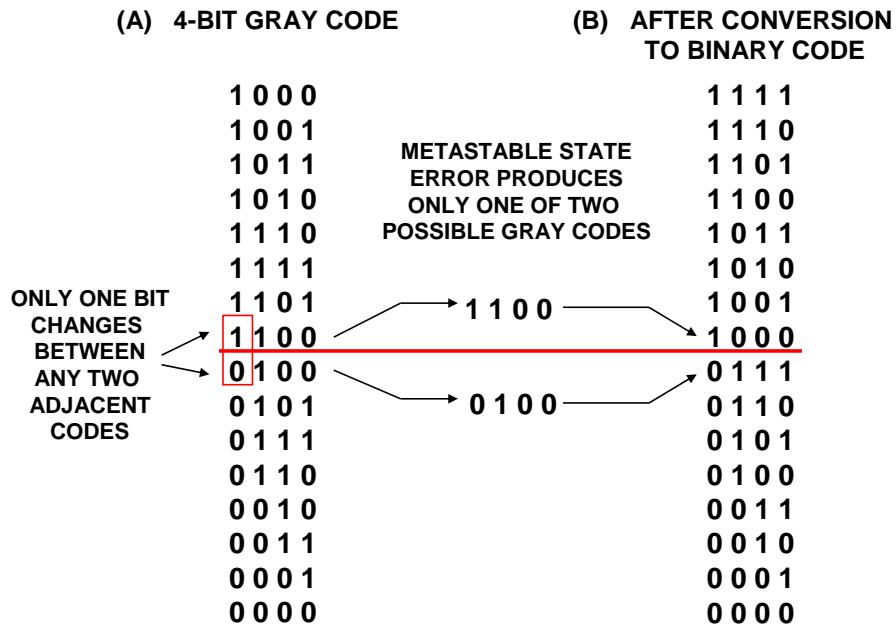


图11：格雷码解码减少亚稳态误差幅度

功耗始终是flash转换器的一项重要考虑因素，尤其是分辨率超过8位时。10位、210-MSPS ADC [AD9410](#)中采用了一种称为“插值”的聪明技巧，不仅最大程度地减少了flash转换器中的前置放大器数量，而且还降低了功耗。该方法如图12所示（参见参考文献18）。

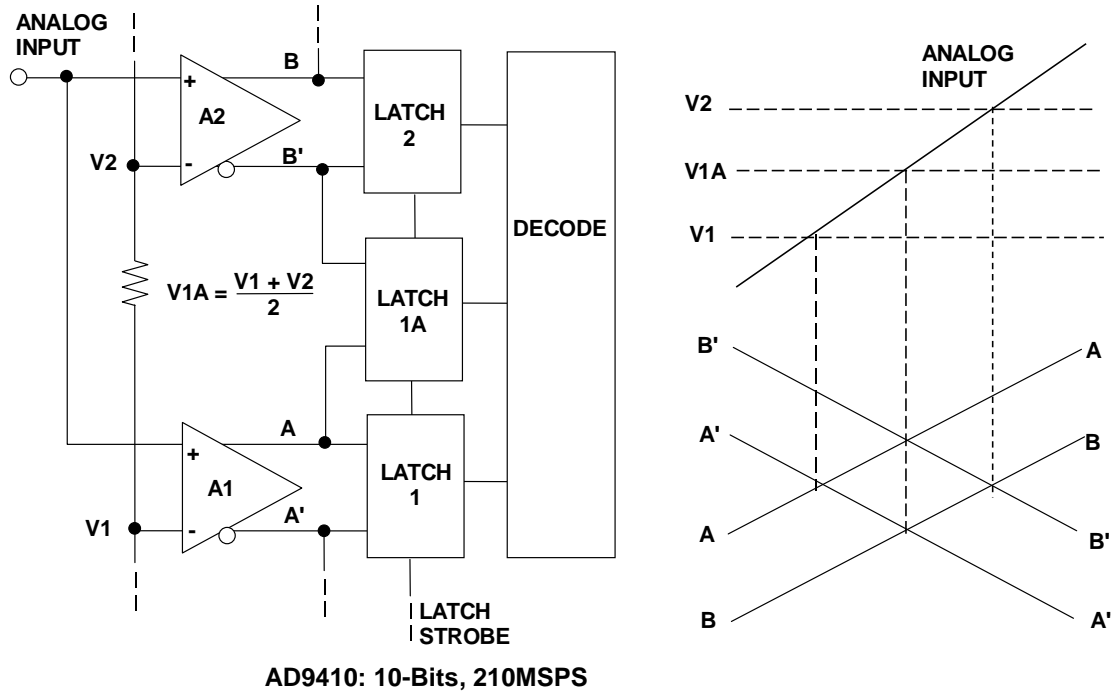


图12：“插值”Flash将前置放大器数量减少一半

前置放大器(标为“A1”、“A2”等)是低增益 g_m 级且带宽与差分对的尾电流成比例。假定正向斜坡输入最初低于AMP A1的基准电压 V_1 。当输入信号接近 V_1 时，A1的差分输出接近零(如 $A = A'$)并到达决策点。A1的输出驱动LATCH 1的差分输入。随着输入信号继续朝正向变化，A继续朝正向变化，而 B' 开始朝负向变化。当 $A = B'$ 时，即确定插值决策点。随着输入继续朝正向变化，当 $B = B'$ 时即会到达第三个决策点。这种革新架构减少了ADC输入电容，因而可最大程度地减少其随信号电平发生的变化及相关失真。AD9410还采用输入采样保持电路来改善线性度。

总结

flash转换器仍旧是给定IC工艺所能制造的最快ADC架构。不过，功耗和电路板空间考虑因素常常导致分辨率限制为6或8位。商用砷化镓型flash转换器的采样速率可超过1 GHz，但是成本和功耗使得其很难被广泛应用。而凭借“流水线”架构，则能够以较低采样速率(最高位数百MSPS)实现分辨率更高、功耗和成本更低的ADC。这项技术采用低分辨率flash转换器作为构建模块，具体将在[教程MT-023](#)中加以讨论。

参考文献

1. Reza Moghimi, "[Amplifiers as Comparators](#)," Ask the Applications Engineer 31, *Analog Dialogue*, Vol. 37-04, Analog Devices, April 2003, <http://www.analog.com>.
2. James N. Giles, "High Speed Transistor Difference Amplifier," *U.S. Patent 3,843,934*, filed January 31 1973, issued October 22, 1974. (*describes one of the first high-speed ECL comparators, the AM685*).
3. Christopher W. Mangelsdorf, "A 400-MHz Input Flash Converter with Error Correction," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 1, February 1990, pp. 184-191. (*a discussion of the AD770, an 8-bit 200 MSPS flash ADC. The paper describes the comparator metastable state problem and how to optimize the ADC design to minimize its effects*).
4. Charles E. Woodward, "A Monolithic Voltage-Comparator Array for A/D Converters," *IEEE Journal of Solid State Circuits*, Vol. SC-10, No. 6, December 1975, pp. 392-399. (*an early paper on a 3-bit flash converter optimized to minimize metastable state errors*).
5. Paul M. Rainey, "Facimile Telegraph System," *U.S. Patent 1,608,527*, filed July 20, 1921, issued November 30, 1926. (*although A. H. Reeves is generally credited with the invention of PCM, this patent discloses an electro-mechanical PCM system complete with A/D and D/A converters. The 5-bit electro-mechanical ADC described is probably the first documented flash converter. The patent was largely ignored and forgotten until many years after the various Reeves' patents were issued in 1939-1942*).
6. R. W. Sears, "Electron Beam Deflection Tube for Pulse Code Modulation," *Bell System Technical Journal*, Vol. 27, pp. 44-57, Jan. 1948. (*describes an electron-beam deflection tube 7-bit, 100-kSPS flash converter for early experimental PCM work*).
7. Frank Gray, "Pulse Code Communication," *U.S. Patent 2,632,058*, filed November 13, 1947, issued March 17, 1953. (*detailed patent on the Gray code and its application to electron beam coders*).
8. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (*summarizes experiments on ADCs based on the electron tube coder as well as a bit-per-stage Gray code 9-bit solid state ADC. The electron beam coder was 9-bits at 12 MSPS, and represented the fastest of its type at the time*).
9. R. Staffin and R. D. Lohman, "Signal Amplitude Quantizer," *U.S. Patent 2,869,079*, filed December 19, 1956, issued January 13, 1959. (*describes flash and subranging conversion using tubes and transistors*).
10. Goto, et. al., "Esaki Diode High-Speed Logical Circuits," *IRE Transactions on Electronic Computers*, Vol. EC-9, March 1960, pp. 25-29. (*describes how to use tunnel diodes as logic elements*).
11. T. Kiyomo, K. Ikeda, and H. Ichiki, "Analog-to-Digital Converter Using an Esaki Diode Stack," *IRE Transactions on Electronic Computers*, Vol. EC-11, December 1962, pp. 791-792. (*description of a low resolution 3-bit flash ADC using a stack of tunnel diodes*).
12. H. R. Schindler, "Using the Latest Semiconductor Circuits in a UHF Digital Converter," *Electronics*, August 1963, pp. 37-40. (*describes a 6-bit 50-MSPS subranging ADC using three 2-bit tunnel diode flash converters*).
13. J. B. Earnshaw, "Design for a Tunnel Diode-Transistor Store with Nondestructive Read-out of Information," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 710-722. (*use of tunnel diodes as memory elements*).

14. Willard K. Bucklen, "A Monolithic Video A/D Converter," *Digital Video, Vol. 2*, Society of Motion Picture and Television Engineers, March 1979, pp. 34-42. (*describes the revolutionary TDC1007J 8-bit 20MSPS video flash converter. Originally introduced at the February 3, 1979 SMPTE Winter Conference in San Francisco, Bucklen accepted an Emmy award for this product in 1988 and was responsible for the initial marketing and applications support for the device.*)
15. J. Peterson, "A Monolithic video A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979, pp. 932-937. (*another detailed description of the TRW TDC1007J 8-bit, 20-MSPS flash converter.*)
16. Yukio Akazawa et. al., "A 400MSPS 8 Bit Flash A/D Converter," *1987 ISSCC Digest of Technical Papers*, pp. 98-99. (*describes a monolithic flash converter using Gray decoding.*)
17. A. Matsuzawa et al., "An 8b 600MHz Flash A/D Converter with Multi-stage Duplex-gray Coding," *Symposium VLSI Circuits, Digest of Technical Papers*, May 1991, pp. 113-114. (*describes a monolithic flash converter using Gray decoding.*)
18. Chuck Lane, "A 10-bit 60MSPS Flash ADC," *Proceedings of the 1989 Bipolar Circuits and Technology Meeting*, IEEE Catalog No. 89CH2771-4, September 1989, pp. 44-47. (*describes an interpolating method for reducing the number of preamps required in a flash converter.*)
19. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 1 and 3. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 1 and 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.